elektor

N.º 16
septiembre 1981
175 ptas.

electrónica: técnica y ocio

Interface para el Junior Computer:
el salto hacia el infinito

La reducción del ruido en alta fidelidad

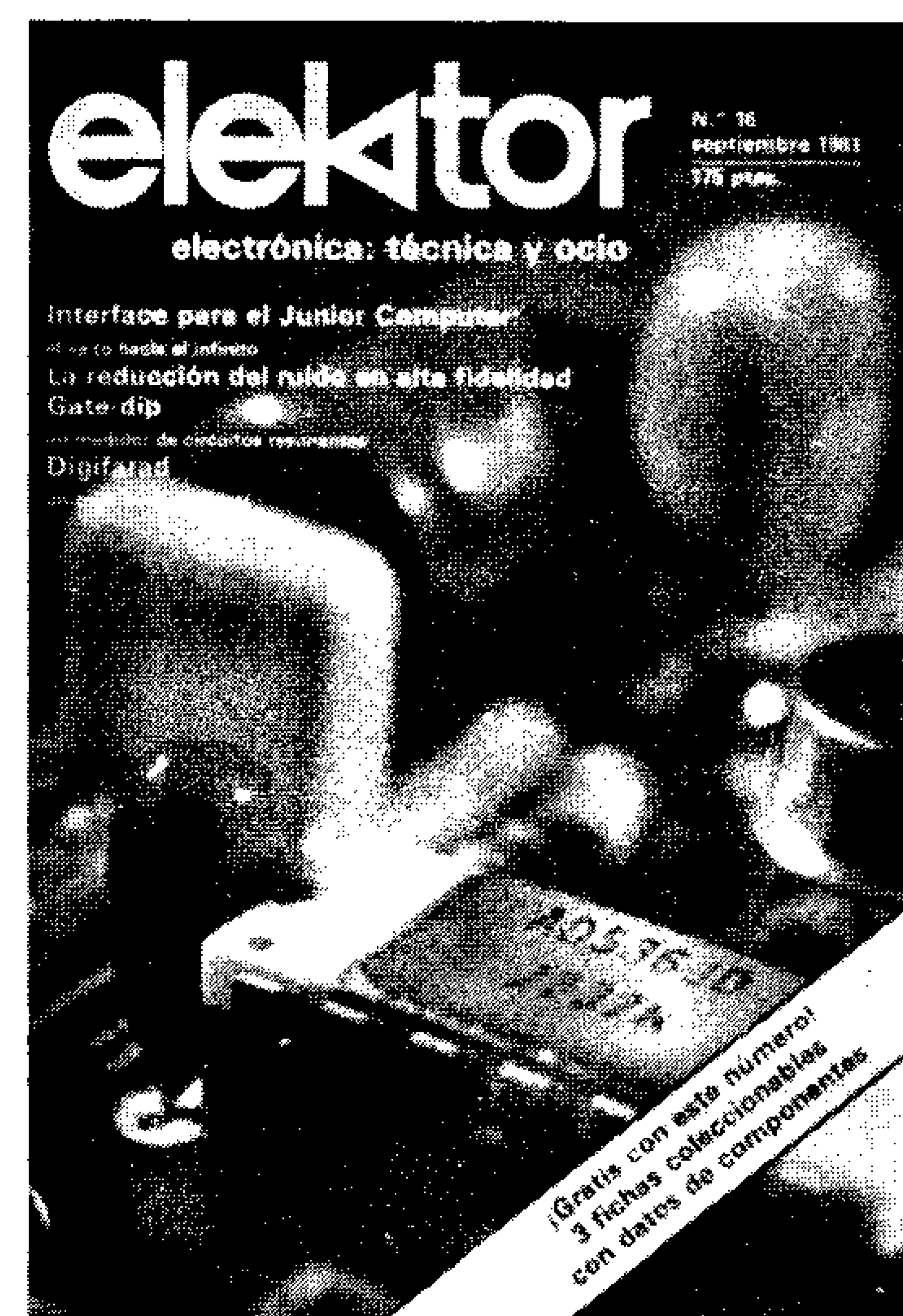
Gate-dip
un medidor de circuitos resonantes

Digifarad
un capacimetro digital

¡Gratis con este número!
3 fichas coleccionables
con datos de componentes

sumario

Sumar
Suma
Sun
Su





elektor 16

año 2, núm. 16 septiembre 1981

Redacción, Administración y Suscripciones:	Villanueva, 19, 1.° Teléf. 276 08 23. Madrid-1
Edita:	Ingelek, S.A.
Presidente:	Ernesto Medina Muñoz
Director:	Antonio M. Ferrer Abelló
Redactor jefe de la edición internacional:	Paul Holmes
Cuerpo de redacción:	Redactores técnicos: J. Barendrecht, G. H. K. Dam, E. Krempelsauer, A. Nachtmann, G. Nachbar, K. S. M. Walraven
Colaboradores:	J. Ignacio Alegría, Miguel Maroto
Publicidad	Jefe de publicidad, Jorge Oviedo Villanueva, 19. Teléf. 435 94 15. Madrid-1 Fernando Yunta. Recoletos, 1. Teléf. 276 12 07. Madrid-1 José Suárez Villarroel, 191. Teléf. 239 18 58. Barcelona-36
Impresión:	Gráficas ELICA. Boyer, 5. Madrid-32
Contabilidad:	María Antonia Buitrago
Suscripciones:	Inmaculada de la Torre

	1980 (6 núms.)	1981 (11 núms.)
España	1.120 Ptas.	1.800 Ptas.
Extranjero (correo de superficie)	1.620	2.600
Extranjero (correo aéreo)	2.120	3.300
Precio ejemplar sencillo	160	175
Precio ejemplar doble	320	350
Ejemplares atrasados	Precio de portada	

En 1981 la revista Elektor tendrá carácter mensual, publicándose 10 números sencillos y uno doble correspondiente a julio/agosto.
Depósito legal: GU. 3-1980
ISSN 0211-397X

CORRESPONDENCIA
Para facilitar la labor de administración deberá mencionarse en la esquina superior izquierda del sobre la sigla que corresponda:

CT	Consulta técnica	S	Suscripciones
DR	Director	RA	Revistas atrasadas
CD	Cambio de dirección	ESS	Servicio de Software
EPS	Circuitos impresos	P	Publicidad
SC	Servicio comercial	SLE	Servicio Libros de Elektor

Todas las cartas dirigidas a consulta técnica deberán incluir un sobre de respuesta, franqueado y con el nombre y dirección del consultante. En caso contrario no se atenderá la consulta.

SOLICITADO CONTROL DE OJD

claves

¿Qué es un TUN?
¿Qué es un 10 n?
¿Qué es el EPS?
¿Qué es el servicio CT?
¿Qué es el duende de Elektor?

Tipos de semiconductores
A menudo, existen un gran número de transistores y diodos con denominaciones diferentes, pero con características similares. Debido a ello, Elektor utiliza, para designarlos, una denominación abreviada.

• Cuando se indica **741** se entiende que se hace referencia a: µ A 741, LM 741, MC 641, MIC 741, RM 741, SN 7241, etcétera.

• TUP o TUN (Transistor universal de tipo PNP o NPN, respectivamente) representa a todo transistor de silicio, de baja frecuencia, con las siguientes características:

$U_{CEO,}$ máx.	20 V
$I_{C,}$ máx.	100 mA
$h_{FE,}$ mín.	100
$P_{tot,}$ máx.	100 mW
$f_{T,}$ mín.	100 mHz

Algunos de los tipos TUN son: las familias BC107, BC108 y BC109; 2N3856A; 2N3859; 2N3860; 2N3904; 2N3947; 2N4124.
Algunos de los tipos TUP son: las familias BC177 y BC178 y el BC179; 2N2412; 2N3251; 2N3906; 2N4126; 2N4291.

• DUS y DUG (Diodo Universal de Silicio o de Germanio, respectivamente), representa a todo diodo de las siguientes características.

	DUS	DUG
U_R máx.	25 V	20 V
I_F máx.	100 mA	35 mA
I_R máx.	1 A	100 A
P_{tot} máx.	250 mW	250 mW
C_D máx.	5 pF	10 pF

Pertenecen al tipo DUS los siguientes: BA127, BA217, BA128, BA221, BA222, BA317, BA318, BAX13, BAY61, IN914, IN4148.
Y pertenecen al tipo DUG: OA85, OA91, OA95, AA116.

• Los tipos BC107B, BC237B, BC547B corresponde a versiones de mayor calidad dentro de una misma «familia». En general, pueden ser sustituidos por cualquier otro miembro de la misma familia.

Familias BC107 (−8, −9)
BC107 (-8, -9), BC147 (-8, -9),
BC207 (-8, -9), BC237 (-8, -9),
BC317 (-8, -9), BC347 (-8, -9),
BC547 (-8, -9), BC171 (-2, -3),
BC182 (-3, -4), BC282 (-3, -4),
BC437 (-8, -9), BC414

Familias BC177 (−8, −9)
BC177 (-8, -9), BC157 (-8, -9),
BC204 (-5, -6), BC307 (-8, -9),
BC320 (-1, -2), BC350 (-1, -2),
BC557 (-8, -9), BC251 (-2, -3),
BC212 (-3, -4), BC512 (-3, -4),
BC261 (-2, -3), BC416

Valores de resistencias y condensadores
En los valores de las resistencias y de los condensadores se omiten los ceros, siempre que ello es posible. La coma se sustituye por una de las siguientes abreviaturas:

p (pico)	$= 10^{-12}$
n (nano-)	$= 10^{-9}$
µ (micro-)	$= 10^{-6}$
m (mili-)	$= 10^{-3}$
k (kilo-)	$= 10^{3}$
M (mega-)	$= 10^{6}$
G (giga-)	$= 10^{9}$

Ejemplos:
— Valores de resistencia:
2k7 = 2700
470 = 470

Salvo indicación en contra, las resistencias empleadas en los esquemas son de carbón 1/4 W y 5% de tolerancia máxima.
— Valores de capacidades:
4p7 = 4,7 pF = 0,0000000000047F
10 = 0,01 µ F = 10^{-8}F

El valor de la tensión de los condensadores no electrolíticos se supone, por lo menos, de 60V; como norma de seguridad conviene que ese valor sea siempre igual o superior al doble de la tensión de alimentación.

Puntos de medida
Salvo indicación en contra, las tensiones indicadas deben medirse con un voltímetro de, al menos, 20 K Ω /V de resistencia interna.

Tensiones de corriente alterna
Siempre se considera para los diseños, tensión senoidal de 220 V/50 Hz.

"U" en vez de "V"
Se emplea el símbolo internacional "U" para indicar tensión, en lugar del símbolo ambiguo "V", que se reserva para indicar voltios.
Ejemplo: se emplea U_b = 10 V, en vez de V_b = 10 V.

Servicios ELEKTOR para los lectores
Circuitos impresos:
La mayoría de las realizaciones Elektor van acompañadas de un modelo de circuito impreso . Muchos de ellos se pueden suministrar taladrados y preparados para el montaje.
Cada mes Elektor publica la lista de los circuitos impresos disponibles, bajo la denominación EPS (Elektor Print Service).

Consultas técnicas:
Cualquier lector puede consultar a la revista cuestiones relacionadas con los circuitos publicados. Las cartas que contengan consultas técnicas deben llevar en el sobre las siglas CT e incluir un sobre para la respuesta, franqueado y con la dirección del consultante.

IMPORTANTE: No se atenderán aquellas consultas que impliquen una modificación importante o un nuevo diseño.

El duende de Elektor:
Toda modificación importante, corrección, mejora, etc., de las realizaciones de Elektor se incluirá en este apartado.

Cambio de dirección:
Debe advertirse con 6 semanas de antelación.

Tarifa publicitaria (nacional o internacional)
Puede obtenerse mediante petición a la dirección de la revista.

la reducción del ruido en alta fidelidad



Los sistemas reductores de ruido de tipo electrónico, han levantado periódicamente grandes polémicas en la prensa especializada a lo largo de 10 años; para ser precisos, desde la aparición del casete compacto y su posterior difusión. No obstante, la tecnología continúa haciendo progresos en este campo que se traducen en la aparición de nuevos sistemas cada vez más perfeccionados. Uno de los mejores sistemas reductores de ruido es el HIGH COM desarrollado y fabricado por la firma Telefunken. Este sistema, será suministrado al lector a través de nuestro departamento EPS a partir del próximo número de la revista. El propósito de este artículo no es más que examinar los diversos aspectos de la supresión de ruidos y comparar las ventajas de los diversos sistemas actualmente disponibles.

El mercado de los sistemas reductores de ruido ha experimentado grandes cambios a lo largo de estos últimos años. Todo comenzó en 1976 con la aparición del sistema profesional Dolby A, el cual no tardó mucho tiempo en hacerse parte integrante de todo estudio de grabación de una cierta categoría. La aparición del casete compacto y el consiguiente antagonismo que se estableció entre este sistema y los magnetófonos de bobinas, prepararon el mercado para la aparición de una versión simplificada del sistema Dolby. De esta forma nace el popular sistema Dolby B.
Philips, los inventores del casete, no tardaron demasiado tiempo en sacar su propio sistema; el DNL (Dynamic Noise Limiter = reductor dinámico de ruido). No fue difícil adivinar cuál de los dos sistemas disponibles se adaptaba mejor a la realización práctica por los entusiastas de la electrónica. Por una parte el sistema Dolby B era bastante complicado y precisaba gran cantidad de asesoramiento técnico (y ajustes) por parte del constructor (aunque se dispusiera de los circuitos integrados). Por otra parte, el DNL fabricado por Philips no tenía la misma eficacia que el sistema Dolby, sin embargo presentaba una gran simplicidad, y sobre todo se ofrecía gratuitamente a todo aquel (constructores y aficionados) que tuviera la intención de incluirlo en sus equipos; es decir no había licencias ni patentes que pagar. Naturalmente esto ofrecía mejores perspectivas para los aficionados a la electrónica.
Haciendo una examen retrospectivo puede comprenderse que el DNL no tenía grandes posibilidades de sobrevivir en el plano comercial. Las aplicaciones del sistema Dolby en las pletinas de casete de alta calidad se difundieron mundialmente, conduciendo a su instauración como patrón industrial. Esto último, junto con la gran difusión de casetes dotados del sistema Dolby permitió a dicha firma monopolizar el mercado de los sistemas de supresión de ruidos durante largo tiempo.

Recientes avances en los sistemas de supresión de ruidos

La mayoría de los fabricantes de equipos de audio, y en particular el mercado oriental (Japón), no han regateado esfuerzos para poner a punto sus propios sistemas reductores de ruido. Esto no sorprenderá a nadie, ya que la adopción del sistema Dolby conlleva, por los derechos de utilización, un aumento notable en los costos de fabricación de los equipos de audio, que por supuesto se vería grandemente abaratado si se incluyera un sistema de reducción de ruido desarrollado por cada fabricante (no hay que olvidar que la mayoría de los equipos de audio fabricados por las firmas orientales están destinados a la exportación). Sin embargo, para que un nuevo sistema pudiera encontrar un lugar preferente en el mercado mundial, obviamente debería superar con creces las características de los equipos aparecidos hasta el momento.
El primer constructor que siguió de cerca la trayectoria marcada por Dolby fue JVC con su excelente sistema ANRS, y más tarde con el SUPER ANRS. No tardaron en entrar en escena otros fabricantes tales como Toshiba con el ADRES, DBX con el DBX-11-124, Sanyo con el PLUS N-55 y el Phase Linear 1000, un sistema autocorrector de ruido. Como es lógico, Dolby no se queda de brazos cruzados y presenta su nuevo sistema: el Dolby HX.
Sin embargo, falta un nombre importante en la lista de equipos anteriormente citada: el HIGH COM de Telefunken, que por sus características se convierte en el rival por excelencia del sistema Dolby, ya que un gran número de fabricantes (en creciente aumento) deciden la adopción de este sistema para sus pletinas de casete.
Como en otras situaciones parecidas, el comprador de equipos HI-FI se encuentra totalmente desorientado debido a la gran cantidad de sistemas reductores de ruido

que aparecen en el mercado. Claro está, sólo nos estamos refiriendo a las marcas más conocidas, puesto que como era de suponer la mayoría de las firmas de audio de mediana importancia desarrollan su propio sistema, lo cual viene a enturbiar aún más (si ello es posible) el mercado de audio tan saturado ya por la constelación de marcas equipos y sistemas. A esto habría que añadir los numerosos equipos profesionales, que de una forma u otra vienen a aumentar la indecisión de los posibles clientes de equipos HI-FI.
Naturalmente, hay un solo aspecto interesante de cara a los aficionados de la electrónica: ¿Qué sistema presenta menos complicaciones a la hora de llevarlo a la práctica? Desgraciadamente, la mayoría de los fabricantes se resisten a revelar sus descubrimientos y esquemas o bien exigen sumas exorbitantes a cambio. La elección de Elektor se ha inclinado por el sistema HIGH COM de Telefunken tras un estudio intensivo y extensivo de los principios básicos de los sistemas más importantes del mercado; análisis que a continuación pasamos a exponer a nuestros lectores.

Consideraciones previas

Todos los sistemas supresores de ruido poseen un punto en común: su finalidad es eliminar, en la medida de lo posible, y mediante circuitos electrónicos, el ruido que se produce en las grabaciones de cinta magnética. Este aspecto toma una importancia capital al aparecer el casete compacto. Este equipo de grabación sonora, barato, de reducido tamaño y fácil de utilizar, alcanza en muy poco tiempo una espectacular popularidad; sin embargo, el reducido valor estandar de la velocidad de cinta utilizada (4,75 cm/segundo) viene a empañar el éxito logrado en un principio, puesto que junto con las ventajas propias de este sistema aparecen sus defectos, uno de los cuales y casi el más importante es EL RUIDO.

¿Hay alguna solución?

El ruido a que nos referimos es característico de la cinta magnética y por consecuencia resulta difícil de eliminar. Generalmente las cintas magnéticas están constituidas por un soporte de material plástico recubierto por una delgada película de partículas magnéticas (Fe02, Cr02 o Fe). Durante la grabación de una señal de audio en cinta magnética, las partículas quedan magnetizadas por la cabeza grabadora. Debido a que la distribución de las citadas partículas a lo largo de la cinta magnética no es totalmente uniforme, dichos elementos no alcanzan la misma magnetización, lo que trae como resultado un alto nivel de ruido en los pasajes de baja amplitud, fenómeno perfectamente audible en la gama superior del espectro de audio. En principio existen dos formas para reducir el ruido: aumentar la velocidad de la cinta, y utilizar una modulación de mayor amplitud. Como era de esperar la primera de las soluciones indicadas queda descartada debido sencillamente a la existencia de una velocidad es-

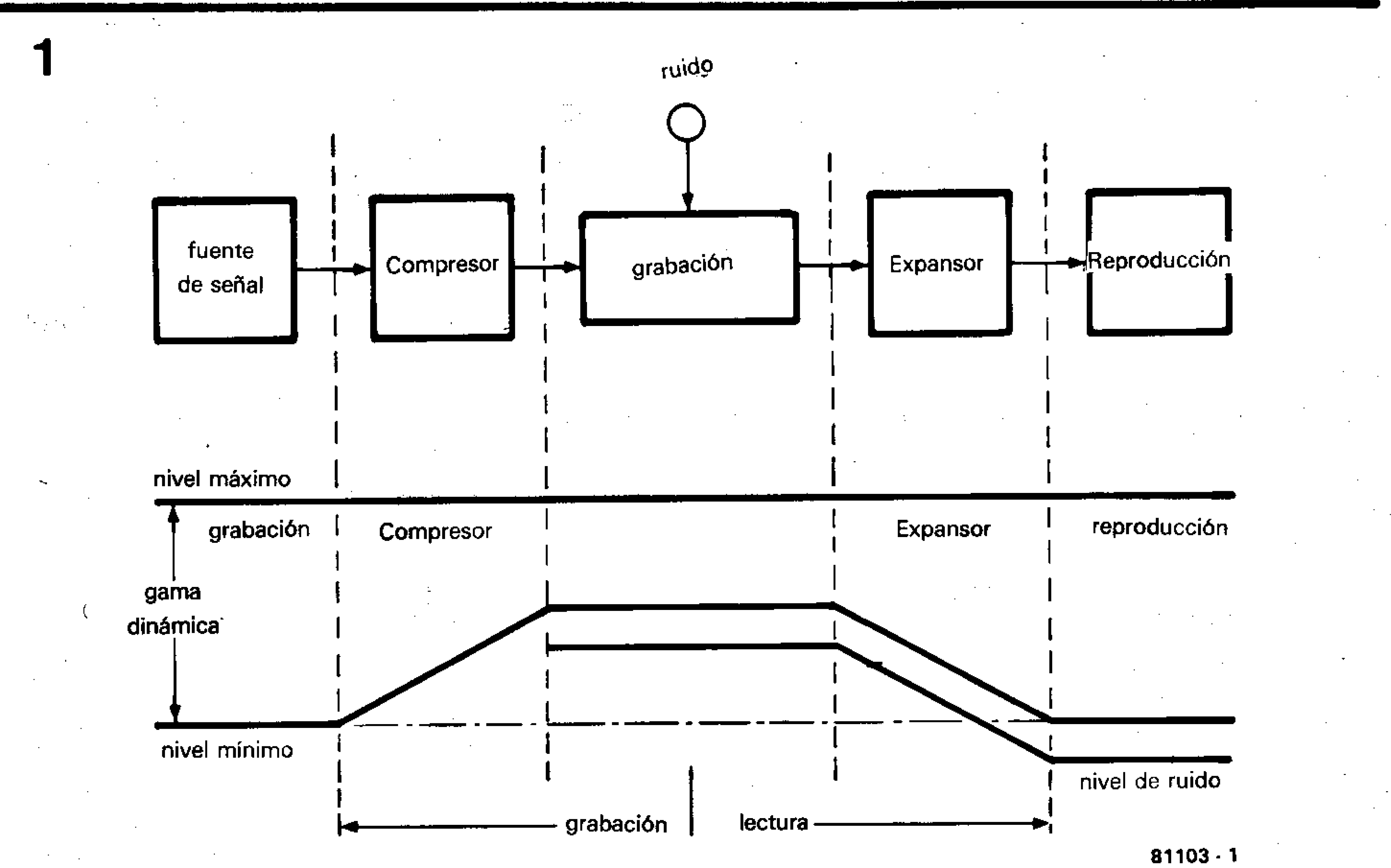


Figura 1. Diagrama sinóptico de la composición y efecto de un compresor-expansor.

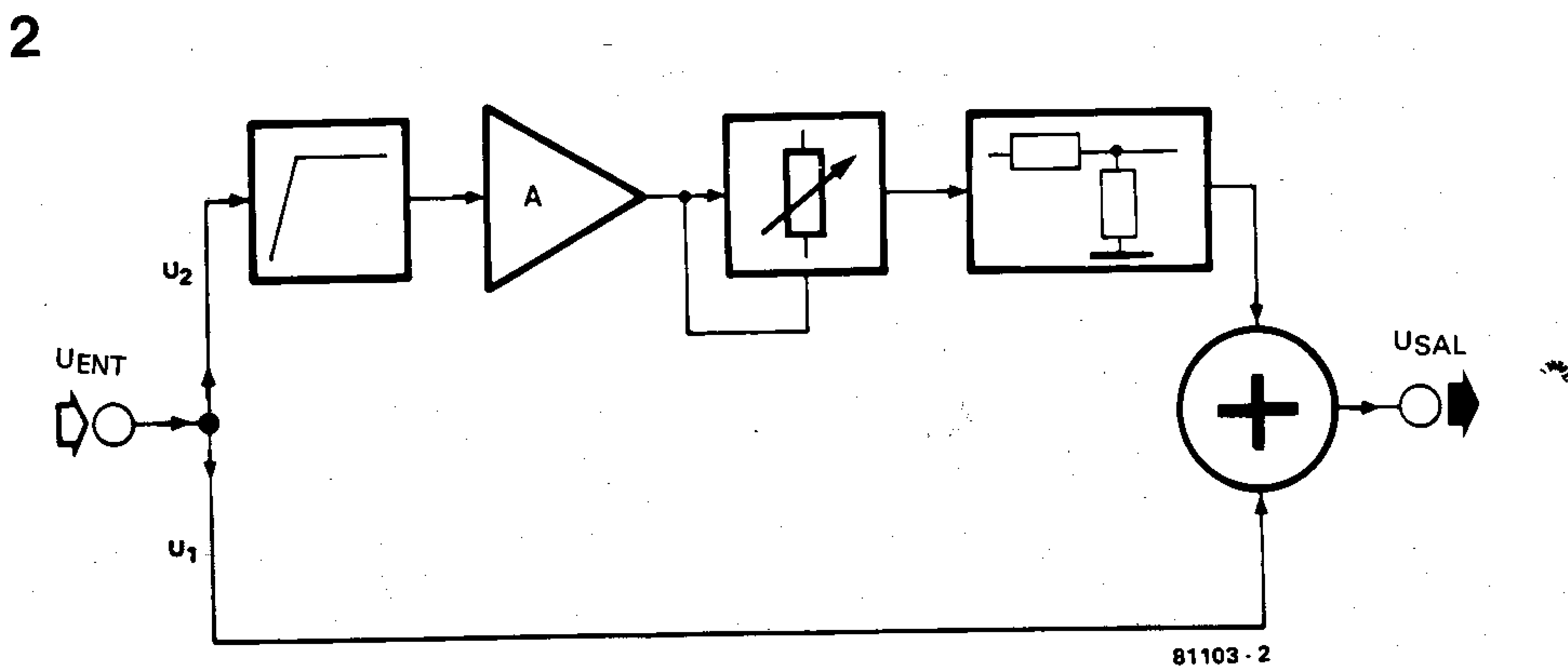


Figura 2. Diagrama de bloques del sistema DNL durante el proceso de lectura.

tandar para el sistema de casete compacto (actualmente existen algunos fabricantes que dotan a sus pletinas de una segunda velocidad de cinta —9,5 cm/segundo—). Esto nos deja la segunda solución como única posibilidad: evitar a toda costa los pasajes de baja amplitud sobre la cinta magnética.

Compresor-expansor

La primera tentativa de supresión de ruidos mediante circuitos electrónicos se atribuye a Dolby. Fundamentalmente el sistema funciona como cualquier otro circuito de este mismo género. El esquema sinóptico de la figura 1 da una idea general de lo que se produce en una cadena completa de grabación-reproducción. Durante el proceso de grabación, se comprime la gama dinámica de la señal, mientras que durante la reproducción se efectúa una expansión de la misma, con lo cual se devuelve la señal su dinámica original. En este aspecto, el término «gama dinamica» tiene una gran importancia: este parámetro abarca todas las señales a registrar, desde la más débil hasta la más fuerte. La modulación de pico (la de mayor amplitud) se sitúa generalmente en 0dB. Bajo este criterio, podemos constatar que las señales de menor amplitud grabadas sobre la cinta de casete alcanzan los 56 dB por debajo del nivel 0dB. Como la gama dinámica de un disco de alta calidad suele estar sobre los 65 dB, significa que se producirá una pérdida de 10 dB al pasar la grabación del disco a una cinta magnética. De esta forma se explica la notable diferencia que se aprecia al escuchar la misma grabación en cinta y en disco (se pierde gran parte de la amplia gama dinámica, tan característica de los discos).
El diagrama sinóptico de la figura 1 representa la versión simplificada de un sistema reductor de ruido. El dibujo que aparece en la parte inferior de esta figura muestra las modificaciones sufridas por la gama dinámica de la señal al pasar por las diferentes etapas del sistema reductor de ruidos. Durante el proceso de grabación, la señal de entrada se reduce a un nivel compatible para la cinta magnética (incluyendo un cierto nivel de seguridad), mientras que durante la reproducción el bloque expansor se encarga de devolver a la señal su dinámica original. Esto nos permite mantener el ruido a un nivel inferior al de cualquier señal registrada, por baja que ésta sea, de forma que (¡al menos teóricamente!) la señal de ruido se haga inaudible. El conjunto supresor de ruido en cuestión recibe el nombre de compresor-expansor.

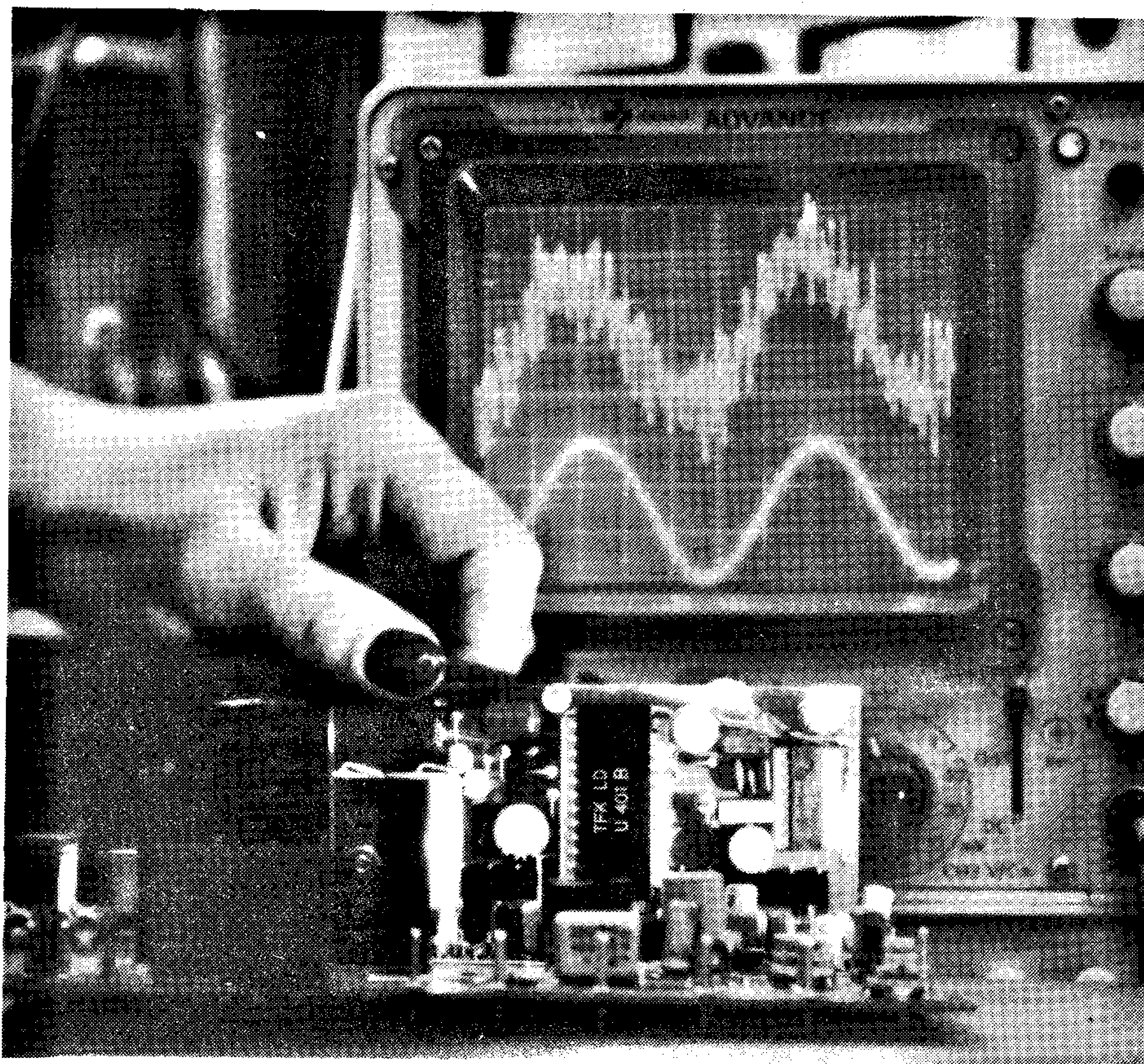
Filtros controlados

Llegados a este punto, es conveniente abrir un nuevo paréntesis: existe otro tipo de sis-

3

Entrada de audio
1 kHz
1.4 kHz
2 kHz
2.8 kHz
4 kHz
5.6 kHz
8 kHz
12 kHz
16 kHz
Salida de audio
Puertas lógicas de control de salida
amplificador de 6dB
Filtro paso alto
Compresor log.
Muest. con memoria
Muest con memoria
Compresor evaluador de espectro
umbral de correlación
Amplificador de escala
Convertidor exponencial
Control
Señal
V.C.A.
Muestra
Muestra
Detector de paso por cero
50 µ Reloj
Muestreo 5 µs
Lógica de control
RESET
Filtro pasa-banda 1 kHz
Filtro pasa-banda 1,4 kHz
Filtro pasa-banda 2 kHz
Filtro pasa-banda 2,8 kHz
Filtro pasa-banda 4 kHz
Filtro pasa-banda 5,6 kHz
Filtro pasa-banda 8 kHz
Filtro pasa-banda 12 kHz
Filtro pasa-banda 16 kHz
Detector de pico
81103 - 3

Figura 3. El esquema, de gran complejidad, representado en la figura corresponde al sistema auto-corrector de Phase Linear.



temas reductores de ruido que únicamente funciona durante la reproducción; es decir, eliminan el ruido cuando este empieza a ser verdaderamente molesto: en las frecuencias elevadas.

Este tipo de reductores de ruido no entra dentro de la categoría de los compresores-expansores, ya que se trata de un cierto tipo de filtros paso bajo controlados por un cierto parámetro, en los que la pendiente de la curva característica puede ser modificada según las necesidades. Los equipos profesionales emplean con regularidad filtros de tipo «normal». Desafortunadamente, este tipo de filtros presentan todos el mismo inconveniente: afectan a la señal original. Es preciso por tanto, un sistema capaz de reducir el ruido sin deformar la señal.

En la figura 2 aparece el diagrama sinóptico del NDL. La señal de entrada U_{ent} pasa en primer lugar por una etapa divisora, que entrega dos señales (U1 y U2). La señal U1, se lleva directamente a la salida a través de un circuito sumador, sin sufrir ningún tipo de modificación. La señal U2 pasa a través de un filtro paso alto y a continuación por una etapa amplificadora; a continuación se introduce en un atenuador dinámico que efectúa una reducción de la señal en función de las componentes de alta frecuencia presentes en la misma. El dispositivo está ajustado de forma que las señales (U1 y U2) sean iguales pero desfasadas 180° para fre-

cuencias superiores a 4kHz y amplitudes 38 dB o más por debajo del nivel de referencia. Estas dos señales se anularán en el circuito sumador debido a sus inversiones de fase. De esta forma la supresión de ruido, o más exactamente de los componentes de alta frecuencia de la gama de audio sólo tiene lugar en la parte indicada, es decir, sobre las señales de baja amplitud. Las señales de alta y baja frecuencia cuya amplitud sea superior a —38dB quedan intactas. El reductor dinámico de ruidos aporta mediante este sistema una mejora de la relación señal/ruido de aproximadamente 3dB.

El Phase Linear 1000 es un sistema de gran calidad que merece ser mencionado en estas líneas. Este sistema emplea señales digitales para efectuar la reducción de ruido. Su esquema funcional se muestra en la figura 3. En el Phase Linear 1000 se emplean los denominados autocorrectores, con lo que se obtienen resultados verdaderamente *milagrosos,* sobre todo cuando se combina con el sistema Dolby B y el «expansor de bajos» que incorpora este dispositivo. El espectro de la señal de entrada se divide en 9 bandas o gamas de frecuencia, cada una de las cuales es examinada por separado con el fin de detectar la presencia eventual de parásitos. El autocorrector «examina» la señal de entrada, detecta las frecuencias que contiene, y las conduce a la salida a través de los filtros pasabanda correspondientes de acuerdo con la distribución de frecuencias y el nivel de la señal. Este es un sistema excelente pero en modo alguno puede considerarse barato. Su ventaja esencial se resume en pocas palabras: puede utilizarse con cualquier tipo de material grabado.

Los compresores-expansores

La mayoría de los sistemas supresores de ruido son de hecho compresores expansores. Estσ se debe, por una parte, a la inevitable presencia de los sistemas reductores de ruido en los grabadores de casete; por otra parte a que los compresores-expansores proporcionan unos resultados más que aceptables sin tener que utilizar por ello circuitos de gran complejidad.

Examinemos los principales sistemas: el DBX, el Dolby y el TELCOM (el HIG COM profesional).

Dolby fue el primero en proponer la idea de dividir el espectro de una señal en diferentes bandas de frecuencia, y aplicar a cada una de ellas su propio circuito de control, de forma que cada banda pudiera ser *comprimida* separadamente. Durante el proceso de reproducción la señal es nuevamente dividida en bandas a las que se le aplica una atenuación en función de su nivel.

En la figura 4 se muestra el sistema Dolby A. El espectro de audio se divide en 4 bandas, cada una de las cuales posee su propio sistema de control. Un filtro paso-banda conectado a la entrada impide que las señales de alta frecuencia afecten al sistema de control. La señal pasa a continuación a un circuito sumador y después a un circuito sustractor, antes de ser dividida en 4 bandas de frecuencia. La primera de estas ban-

4

ENTRADA
Filtro paso bajo 30 kHz
Sustractor
Sumador
Salida
Grabación
PLAY
Filtro paso alto 9 kHz
Filtro paso alto 3 kHz
Sumador
Sustractor
Filtro paso bajo 80 Hz
VCA
Rectificador
Sumador
Señal con nivel de ruido inferior
81103 - 4

Figura 4. Diagrama de bloques del sistema Dolby profesional.

5

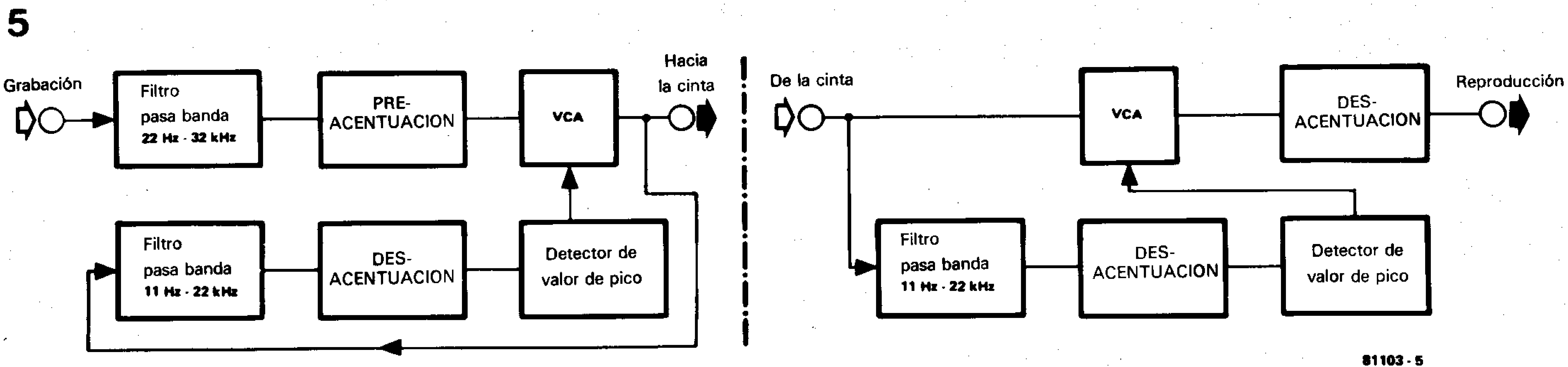


Figura 5. Diagrama sinóptico del sistema DBX.

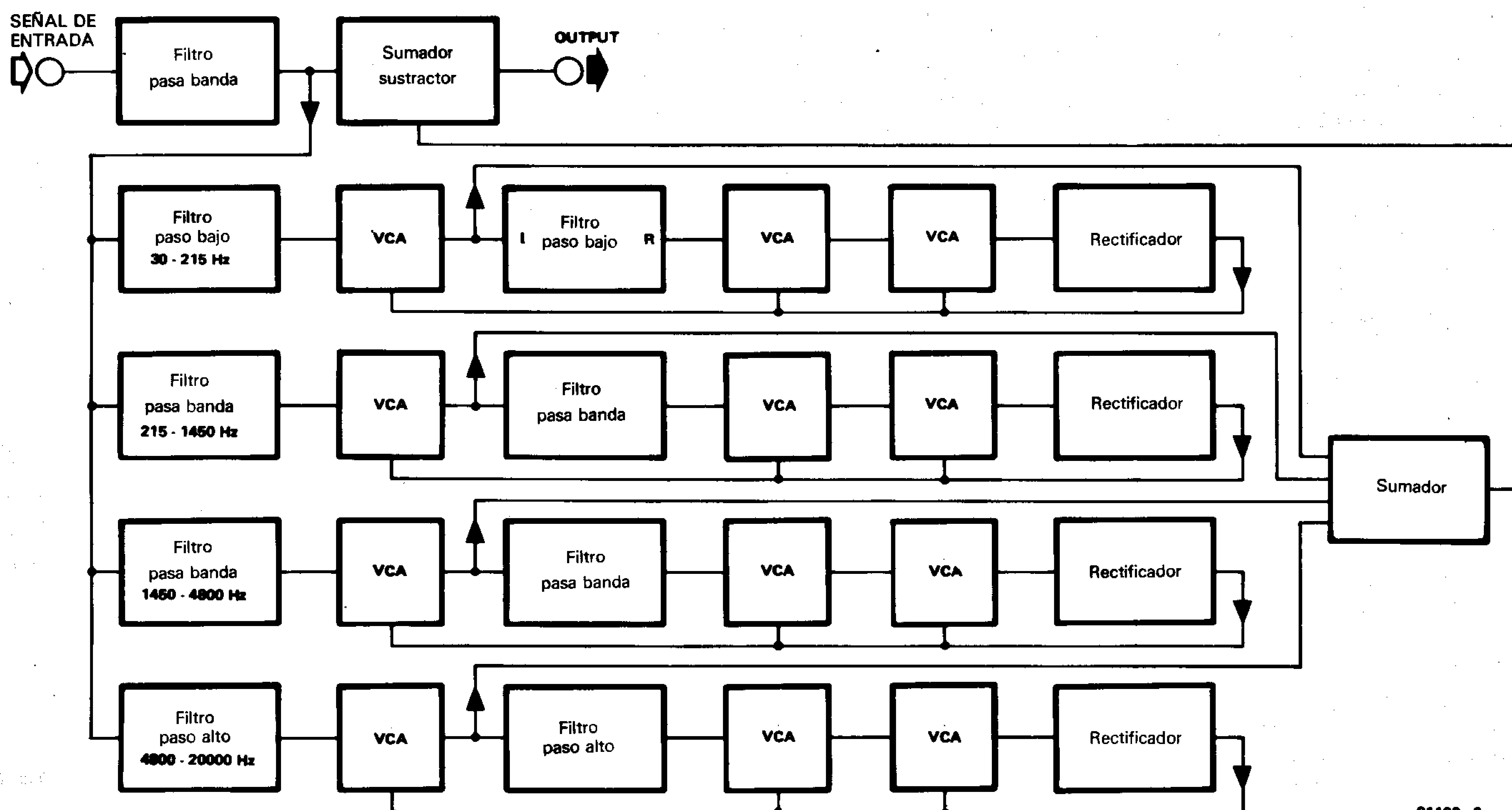


Figura 6. Diagrama sinóptico de uno de los sistemas TELCOM patentado por Telefunken.

das afecta a las frecuencias superiores a 9kHz, la segunda afecta a las frecuencias superiores a 3kHz, la tercera se extiende desde 80Hz a 3kHz, y la cuarta actúa sobre las señales inferiores a 80kHz. A cada banda se le asigna un amplificador controlado por tensión (VCA) cuyo factor de amplificación depende del nivel medio de señal de la banda correspondiente. Las señales de salida de los cuatro VCA son compuestas por el sumador citado anteriormente. La señal suma se añade a la señal original en la grabación. Durante el proceso de reproducción se realiza la operación inversa, es decir, se sustrae la misma señal que se añadió durante el proceso de grabación. El sistema Dolby profesional permite atenuar el ruido de 10 a 12dB, lo cual constituye un resultado aceptable.

A continuación examinemos el segundo sistema: el DBX. Su esquema funcional (representado en la figura 5) puede parecernos bastante simple si lo comparamos con el del sistema Dolby. Durante el proceso de grabación, la señal pasa en primer lugar por un filtro paso-banda (banda pasante de 22Hz...32kHz) cuyo papel es, como en el caso anterior, impedir que las señales parásitas perturben el funcionamiento del sistema de compresión. La etapa siguiente tiene la misión de elevar el nivel de las componentes de altas frecuencias 12dB (pre-acentuación). Esta operación de pre-acentuación, combinada con la operación inversa que se efectúa durante el proceso de reproducción (desacentuación), permite reducir el nivel de ruido en las frecuencias elevadas. El VCA que figura tras esta sección comprime la señal con un factor 2. La señal de control del VCA se obtiene a partir de la señal de salida, a la cual debe aplicársele nuevamente un proceso de filtrado (filtro pasabanda de 11Hz...22kHz) con el fin de suprimir los parásitos presentes en la banda. A continuación una etapa de desacentuación compensa el efecto de la preacentuación aplicado en un principio. La salida de esta etapa se conecta a un detector de valor eficaz, que proporciona la señal de control por el VCA.

Durante la reproducción se utilizan los mismos circuitos que se emplearon en la grabación, a excepción del fitro de entrada. Unicamente cambia al configuración de los diversos bloques. La señal de entrada pasa a través del filtro pasabanda, sufre una desacentuación, y retorna al detector del valor eficaz que pilota al VCA y provoca en la señal una expansión con un factor 2. Bastará ahora con utilizar una etapa de desacentuación para devolver a las componentes de alta frecuencia su nivel original. Con este sistema se obtiene una mejora de la relación señal/ruido de al menos ¡30dB!

Finalmente examinemos el sistema HIGH COM, es decir, el TELCOM comercial, que representa uno de los últimos y más efectivos avances en el campo de la reducción de ruidos. A primera vista, podría creerse que se trata de una combinación de los sistemas DBX y Dolby, ya que por una parte el HIG COM trabaja en varias bandas de frecuencia como hace el Dolby, y por otra emplea una relación de compresión/expansión fija, como se hace en el sistema DBX. Su esquema sinóptico se muestra en la figura 6, y dicho sea de paso se parece bastante al del sistema Dolby. La señal de entrada se lleva a la salida a través de un filtro pasabanda y de un circuito sumador y sustractor (para la grabación y la reproducción respectivamente). Después de pasar por el filtro de entrada, se divide la señal en cuatro bandas. Estas poseen, sin embargo, una distribución diferente a las del sistema Dolby. Cada filtro está acompañado de un VCA y de un filtro paso-banda. Todos los filtros presentan una pendiente negativa de 6dB por octava. Los picos de dichos filtros se han elegido de forma que se produzca un solape parcial entre ellos, es decir para que no haya ningún «bache» en la respuesta de frecuencia. Los filtros de la segunda serie están acompañados igualmente de VCAs, cuyas salidas están conectadas al correspondiente circuito detector de picos. Dichos circuitos (los detectores de picos) proporcionan la señal de control a los VCA. El sistema de control así obtenido es bastante complejo debido a la particular combinación de filtros, sin embargo confiere al sistema la ventaja de no producir más que un ligero (casi inapreciable) efecto de «bombeo», característico (y muy molesto) de los restantes sistemas. Las señales obtenidas de la primera serie de VCA se suman y se envían a un circuito sumador/sustractor. Este circuito está ajustado para aplicar una relación fija de compresión/expansión de 1,5 : 1. El circuito conserva la linealidad en una amplia gama dinámica, con lo que se eliminan los reajustes posteriores.

El sistema HIGH COM proporciona una mejora de la relación señal/ruido de aproximadamente 25dB, lo cual es sorprendente teniendo en cuenta la aparente simplicidad y ausencias de ajustes del sistema, y sobre todo su principal ventaja: la disponibilidad para el aficionado.

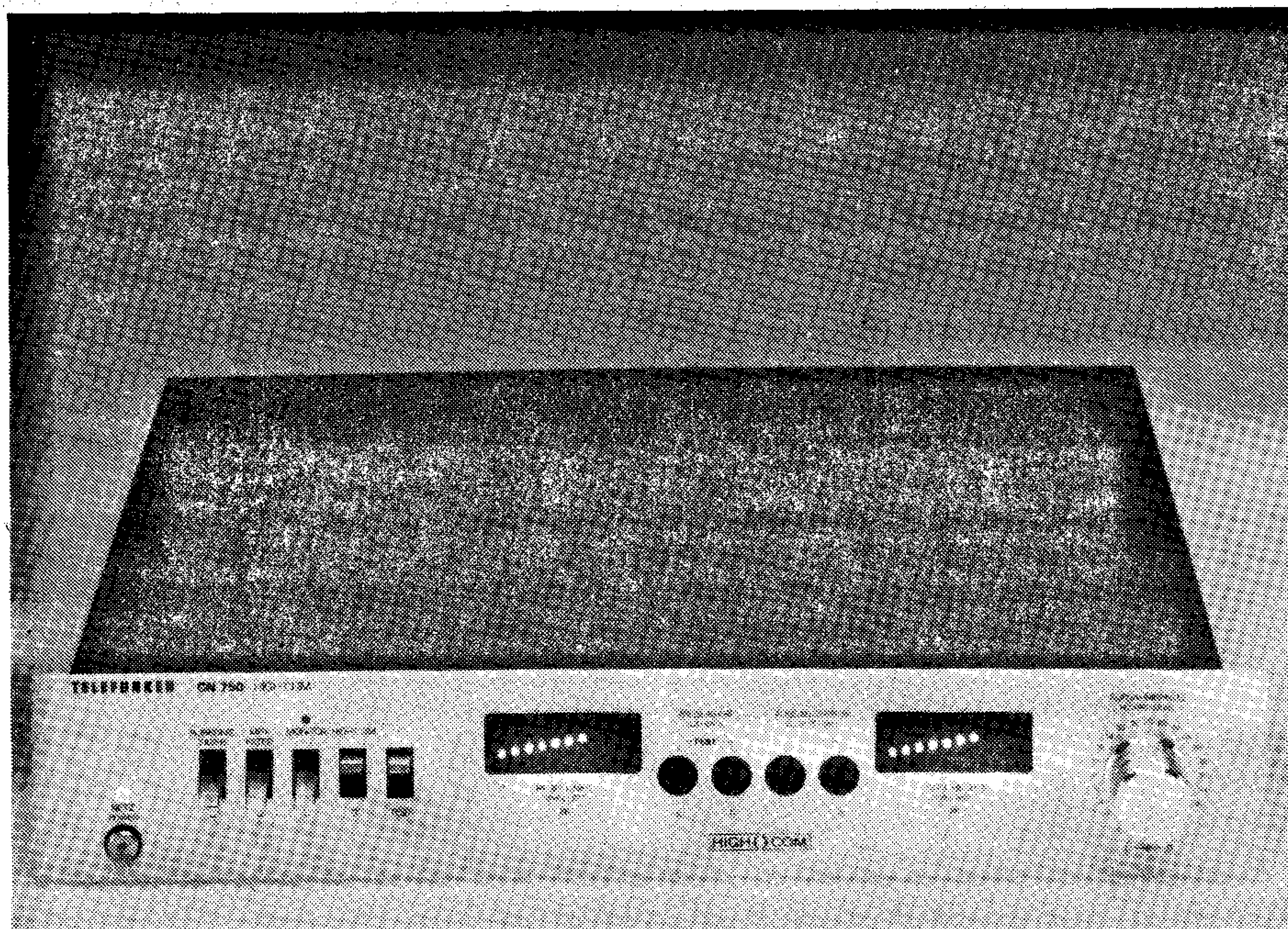
En la práctica, el TELCOM representa una combinación satisfactoria, que reune las ventajas DBX y las del Dolby. Aunque el DBX elimina el ruido bastante aceptablemente el sistema tiende ha hacerse «audible» durante los reajustes. En comparación, la supresión de ruidos proporcionada por el sistema Dolby es mediocre, aunque en general puede considerarse que da buenos resultados. Para concluir podemos decir que el TELCOM, con su supresión de ruidos de primera clase y su alta calidad, constituye actualmente la mejor elección.

Todos los sistemas profesionales citados anteriormente, fueron desarrollados en su versión doméstica con resultados igualmen-

te buenos. Sin embargo el único sistema asequible a los aficionados es el HIGH COM. Antes de pasar a los detalles de construcción del supresor de ruidos propuesto por Elektor (el HIGH-COM), veamos en qué consiste dicho sistema.

El HIGH COM

Los lectores que piensen que el HIGH COM es sencillamente una versión simplificada del TELCOM, cometen un grave error. Cosa sorprendente, este sistema presenta varias ventajas con relación al circuito profesional. Obviamente, se presentaba la necesidad de simplificar el circuito. En realidad, el compresor-expansor se encuentra íntegramente dentro de un solo circuito integrado, lo cual simplifica enormemente la realización práctica. El sistema HIGH COM es un compresor-expansor de banda ancha, que cubre toda la gama de audio (contrariamente al Dolby que únicamente funciona a partir de 500Hz). Esto le confiere la ventaja de ser insensible a las variaciones de la respuesta en frecuencia y a los ajustes de nivel del aparato grabador. En otras palabras, puesto que se aplica el mismo tratamiento a toda la gama de frecuencias, un reglaje de nivel incorrecto no producirá ningún efecto en las respuestas de frecuencias dentro de la gama de niveles permitidos.
En la figura 7 se representa el esquema sinóptico del HIG COM. Los bloques marcados con la letra A son 3 etapas idénticas que tienen por misión aumentar las frecuencias de la parte superior del espectro. A continuación de cada bloque A, figura un amplificador controlado por tensión (VCA). El bloque B es un expansor cuya función de transferencia es la inversa de la del bloque A. Los bloques C y D efectúan las operaciones de desacentuación y preacentuación, respectivamente. Finalmente, dos rectificadores (E) proporcionan las tensiones de control para los VCA.
El proceso sufrido por la señal puede resumirse de la siguiente forma: en primer lugar, se amplifican las componentes de alta frecuencia del espectro, y a continuación se utiliza la señal entregada por el VCA para elaborar la tensión de control. Toda esta operación se realiza mediante un amplificador operacional, un VCA, una etapa de preacentuación y un rectificador. Antes de llegar al aparato grabador, la señal sufre un proceso de desacentuación. Durante el proceso de lectura, tiene lugar la operación inversa, es decir, en primer lugar encontramos la etapa de preacentuación, a continuación se genera la tensión de control con la ayuda de un circuito similar al que figura en el compresor HIGH COM. Finalmente, la señal sufre una expansión en el bloque B que le devuelve su forma inicial.
La desacentuación se efectúa durante el proceso de grabación con el fin de impedir la sobremodulación de la banda en las frecuencias elevadas. El circuito está concebido de tal forma que una señal de 10kHz sufrirá una amplificación cuando su nivel esté 12dB por debajo del nivel de modulación de pico, y sufrirá una atenuación cuando la amplitud de dicha señal esté situada entre 12 y 0dB. La preacentuación produce el efecto inverso. En la figura 8 se muestran las curvas de comprensión y expansión del sistema HIG COM. Como puede verse, este gráfico indica hasta qué punto una señal de una cierta amplitud (expresada en dB) queda comprimida o expandida. Podría creerse que las curvas de un compresor/expansor de banda ancha son idénticas para toda la gama de frecuencias, sin embargo esto no es así ya que los niveles de las frecuencias superiores sufren un aumento durante el proceso de comprensión. No cabe la menor duda de que el HIGH-COM proporciona excelentes resultados, como así lo hemos podido comprobar, y como cualquier lector podría verificar en un aparato comercial. Cuando se utiliza una cinta de casete de buena calidad, el circuito proporciona un aumento de la relación señal/ruido de 20dB. ¡No podrá dar crédito a sus oídos! El mes próximo daremos una descripción detallada del HIGH COM así como de las placas de circuito impreso y los módulos principales del sistema reductor de ruido propuesto por Elektor; hasta ese momento no podemos darle más que este consejo: baje el volumen de su amplificador (!).



7

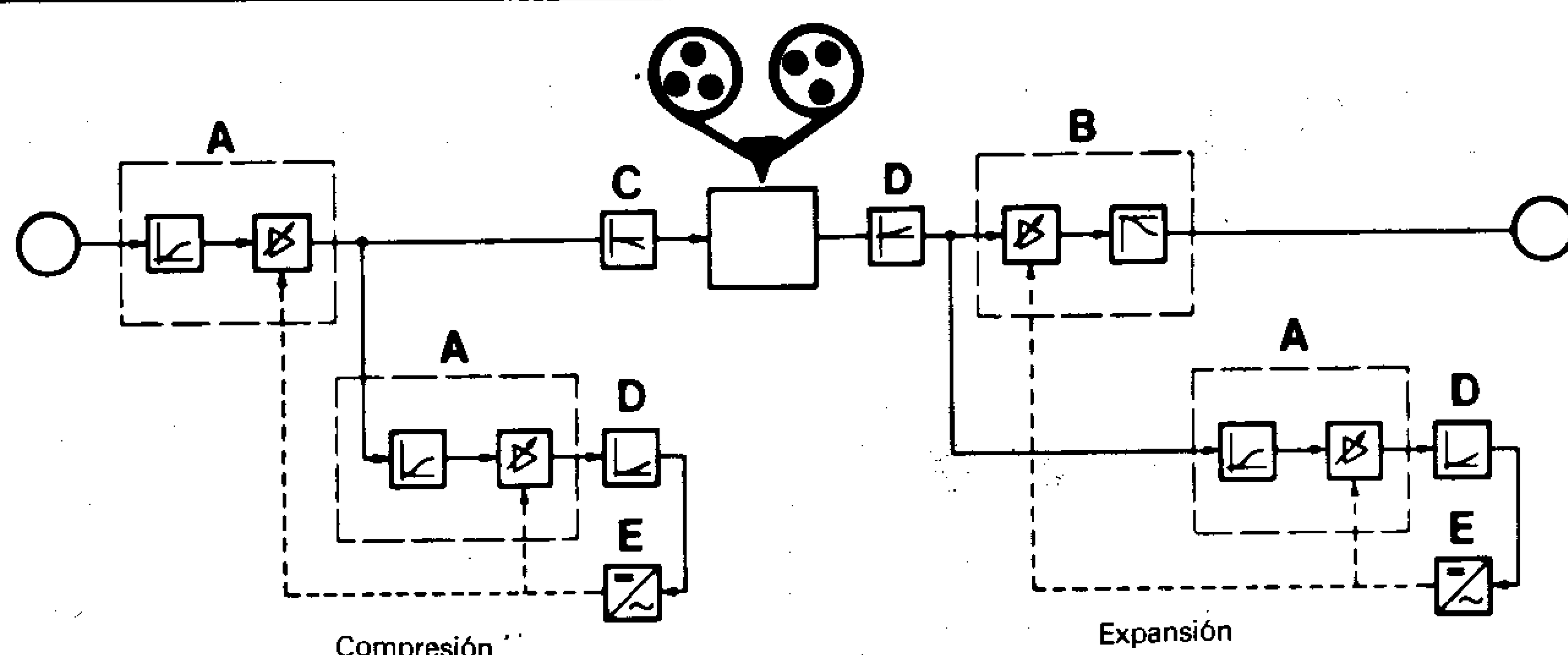


Figura 7. Esquema sinóptico del compresor expansor empleado en el sistema HIGH COM.

8

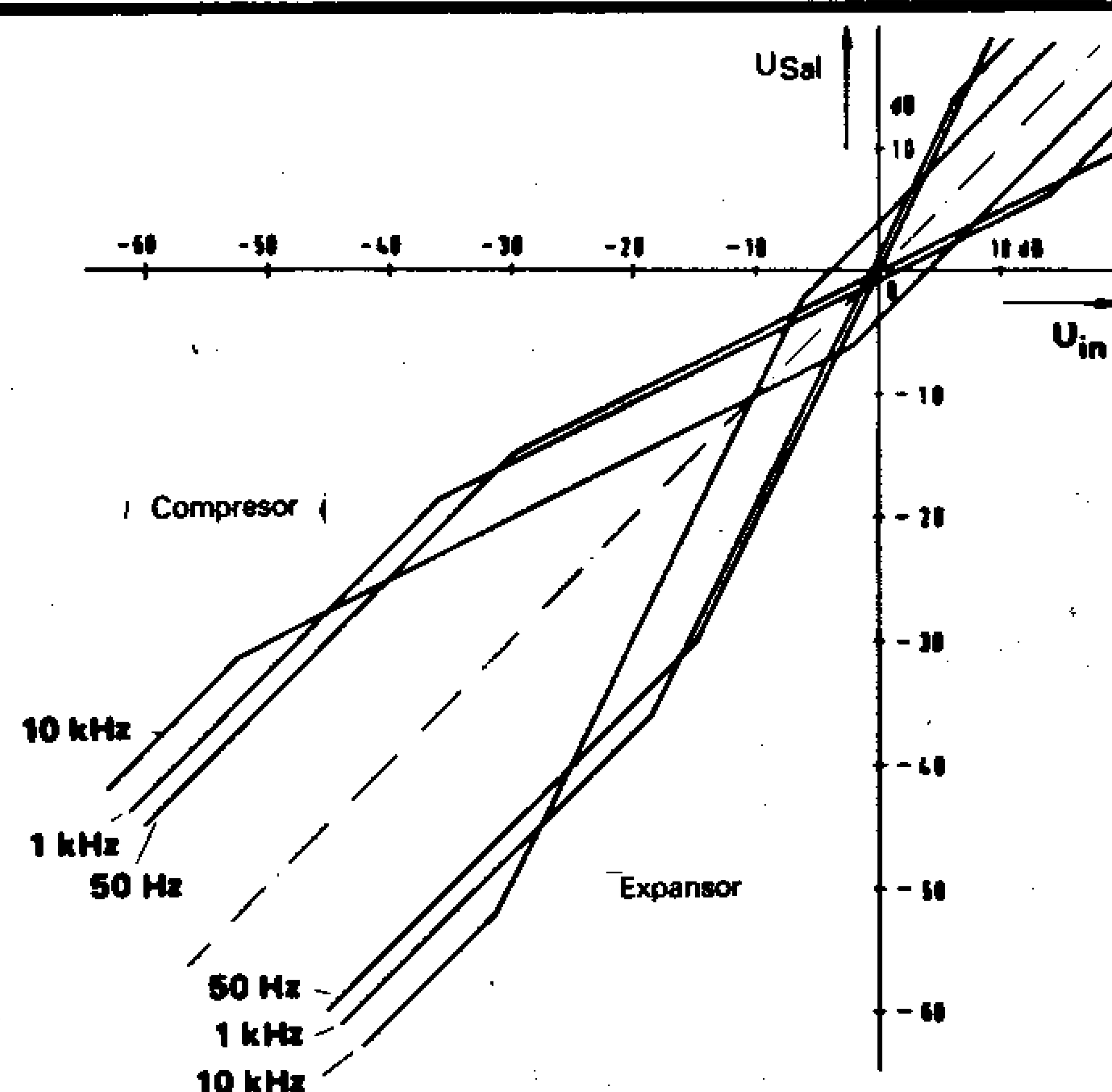


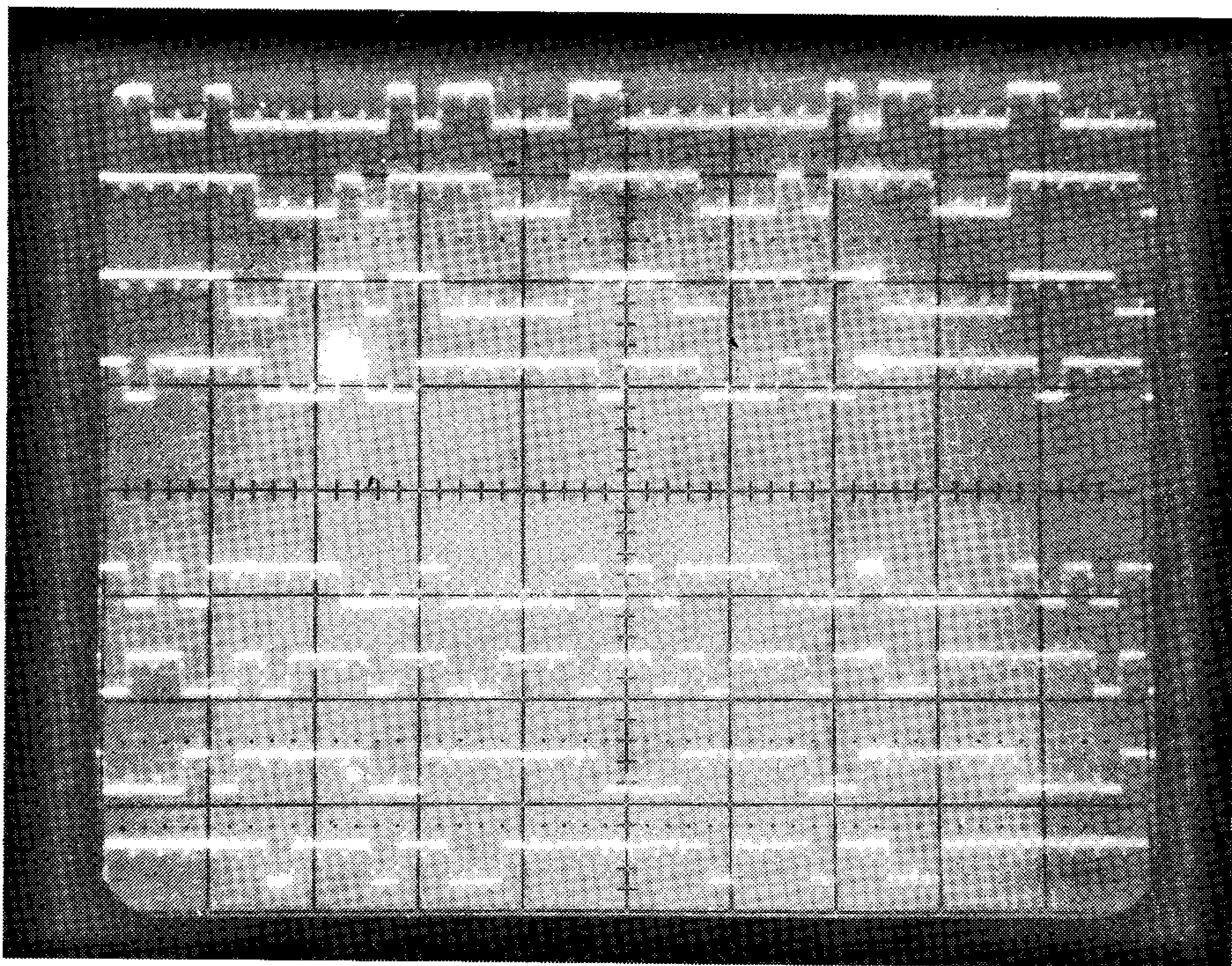
Figura 8. En este gráfico se muestran las curvas de compresión expansión del sistema HIGH COM para diferentes frecuencias. La amplitud de 0dB. corresponde a la modulación de pico.

analizador lógico (I)

Una herramienta indispensable para reparación y diseño de circuitos digitales

El análisis y comparación de señales digitales puede llegar a ser una tarea imposible de realizar si no se poseen equipos de prueba, como el comúnmente llamado «analizador lógico». Desafortunadamente, este tipo de aparatos está invariablemente fuera del alcance de los entusiastas de la tecnología digital. La experiencia nos dice, que reparar averías en este tipo de sistemas (especialmente en «microprocesadores») es harto dificultoso, y los resultados sólo están en función de unas caprichosas casualidades («ideas felices»).
Pero no hay por qué desesperarse, puesto que con un simple osciloscopio y el circuito cuya descripción se inicia en este artículo puede realizarse un analizador lógico con unas prestaciones y precio más que razonables.

Los lectores que habitualmente trabajan con circuitos digitales y especialmente con microprocesadores, saben perfectamente que su osciloscopio es un instrumento esencial para obtener una información fiable y rápida. Sin embargo, los circuitos complicados requieren más de dos canales (los osciloscopios normales suelen poseer únicamente dos canales) de visualización.
En un microprocesador con 8 líneas de datos y 16 líneas de direcciones, se necesitaría un banco completo de osciloscopios para localizar la más simple de las averías, ya que un fallo en la zona de I/O, inevitablemente precisaría de una monitorización simultánea de todas sus entradas y salidas. Este problema se agrava especialmente en los microprocesadores, por el simple hecho de trabajar con información digital en forma de bytes, es decir, 8 bits en paralelo (sin contar con los nuevos microprocesadores de 16 bits).
Parece sencillo diseñar un conmutador de 8 canales para visualizar simultáneamente en un osciloscopio 8 señales diferentes, pero esto puede resultar totalmente inútil.
El lector se estará preguntando el porqué de esta categórica afirmación, ya que precisamente lo que se está buscando es la visualización simultánea de varios canales. La respuesta es sencilla: la información que circula por los buses de un microprocesador, cambia continuamente a alta velocidad, con lo cual la información presente en la pantalla sólo permanece durante algunos microsegundos; es decir, no nos ayuda en nada (¡a menos que usted posea una vista «electrónica»!). Por tanto, parece obvio que el circuito definitivo debe poseer algún tipo de memoria para almacenar las señales digitales antes de poder visualizarlas en la pantalla de un osciloscopio.
Por otra parte, en algunos casos también se precisa conocer el tipo de información que está manejando el microprocesador. Si, por ejemplo, sólo se pueden visualizar 20 bytes (almacenándolos previamente en memoria) de un cierto programa que comprende varios miles de instrucciones, la visualización de los citados bytes puede convertirse en «buscar una aguja en un pajar», si no se cuenta con la ayuda de algún dispositivo especial que nos ayude en la tarea. Durante largo tiempo, los fabricantes de instrumentación electrónica se han encontrado igualmente con este desagradable problema, y tras arduas investigaciones han conseguido poner a punto un magnífico aparato de comprobación que hoy se conoce como «analizador lógico». Este instrumento es la combinación de un osciloscopio, un comprobador digital y una memoria. Desafortunadamente este aparato puede llegar a costar hasta medio millón de pesetas, lo que indiscutiblemente está fuera del alcance de la mayoría (por no decir de todos los aficionados a la electrónica).
Hace algún tiempo el departamento técnico de Elektor decidió que ya había llegado el momento de dar una solución adecuada al problema. El analizador lógico que proponemos en este artículo puede considerarse como un visualizador, conmutado y con memoria, que conectado a un osciloscopio ordinario proporciona una información clara y exacta de la evolución temporal de 8 señales lógicas. La versión de Elektor no por ser más barata es menos simple, ni puede decirse que el costo total de los componentes sea una «ganga», pero aún así puede considerarse un montaje realmente barato, teniendo en cuenta su calidad y prestaciones.
Debido a que el circuito es realmente complicado, las consideraciones prácticas de diseño, así como sus posibilidades de funcionamiento se dejarán hasta el siguiente artículo. Por tanto, en la presente exposición nos centraremos únicamente en los principios básicos del sistema.
Para empezar, el sencillo diagrama de la figura 1 pone de manifiesto los requerimientos expuestos hasta este momento.
En primer lugar nos encontramos con el bloque de memoria. Esta sección del circuito se emplea para almacenar una cierta cantidad de información, por ejemplo unos cientos de bytes, en forma de 8 bits en para-



Fotografía 1. Datos almacenados en la memoria RAM traducidos en forma clara y visible por la pantalla del osciloscopio. Los pequeños puntos que aparecen junto a las líneas indican el nivel lógico en ese punto.

lelo. El siguiente paso es informar al circuito del momento en el que tienen que comenzar a leer los datos. Esto se consigue de la siguiente forma: la memoria está continuamente almacenado los datos que aparecen en sus entradas. Para determinar el momento en que debe comenzar la grabación de las señales digitales en la memoria, se emplea un identificador de palabras lógicas, cuya salida está conectada a una unidad de disparo. Tan pronto como aparece la palabra pre-seleccionada, el identificador generará un impulso de disparo que actuará un contador (encargado de determinar la cantidad de palabras a grabar) durante un cierto período de tiempo, al final del cual dicho circuito generará una señal de «interrupción de grabación» (stop). Como se ha dicho anteriormente, al aparecer la señal de «stop», automáticamente se detiene el proceso de grabación en la memoria, y los datos almacenados en ésta comienzan a visualizarse en la pantalla de un osciloscopio. Esta operación requiere un dispositivo que transforme las señales digitales en impulsos analógicos, capaces de producir una imagen clara y exacta en un osciloscopio.
Para facilitar la lectura de la información suministrada, se dispone de un cursor móvil, que puede moverse por toda la pantalla, señalando, además, los 8 bits que pertenecen a un mismo byte, con lo cual, además de facilitar la lectura se evitarán múltiples errores.
Es obvio, que el diagrama de bloques de la figura 1 representa una parte muy simplificada de la versión original del circuito, y que el prototipo real presentará una mayor complejidad, como a continuación veremos en el diagrama de bloques completo mostrado en la figura 2.

1

Figura 1. Diagrama de bloques simplificado del analizador lógico que indica la interrelación entre la memoria, la unidad de disparo, el reloj y la unidad de control del osciloscopio.

¿Cómo funciona el analizador lógico?

Para analizar los principios básicos de funcionamiento del analizador lógico, será necesario recurrir al diagrama mostrado en la figura 2. Inicialmente, los dos flip-flop FF1 y FF2 tienen sus salidas Q a nivel bajo. Un oscilador de reloj combinado con un divisor programable, genera las señales de reloj que se aplican a un contador (A) de 8 bits. Las salidas de este contador proporcionan el código de direcciones de una memoria RAM (256 × 8 bits). Las señales digitales que se desean muestrear (D0...D7), se graban en la memoria al ritmo marcado por la frecuencia de reloj, a través de una memoria temporal (latch) de 8 bits.
Al llegar el impulso n.° 255, el contador se pone a 0 y empieza la cuenta nuevamente desde el principio, con lo que la memoria comienza de nuevo a almacenar los datos presentes en sus entradas. Cuando se genera un impulso de disparo, FF1 cambia de estado haciendo que el contador B comience su cuenta. El estado inicial de este contador puede seleccionarse a voluntad mediante el interruptor de «tipo de disparo». Cuando este interruptor está en la posición de «disparo posterior», el estado inicial del contador B será 0. En la posición «disparo medio» será 125 y en la posición «disparo anterior» será 255. Es decir, la posición de este interruptor determinará la información contenida en la memoria RAM; en otras palabras, si los datos han sido almacenados después, antes y después, o antes de generarse el impulso de disparo.
Dependiendo de la posición inicial del contador B se requerirá un cierto número de impulsos para «llenarlo» y a continuación generar el impulso de arrastre (carry). La salida de arrastre procedente del contador hará que FF2 pase a nivel alto, evitando que nuevos datos sean introducidos en la memoria.
Por ejemplo, cuando el conmutador de disparo se encuentra en la posición de «disparo posterior», la operación de escritura de los datos en la memoria, continuará hasta contabilizar un total de 256 impulsos de reloj. Llegado este punto automáticamente se interrumpe el proceso de escritura. En otras palabras, la memoria RAM grabará 255 bytes de datos después de generarse el impulso de disparo. En la posición «disparo medio», serán 126 bytes los que se almacenarán antes de recibir el impulso de disparo, y 129 bytes después. En la posición «disparo anterior» se almacenarán 255 bytes antes de generarse el impulso de disparo. Esta característica es evidentemente de gran utilidad, y bien merece los componentes empleados.
Parece aconsejable profundizar en los orígenes y fines (cómo y porqué) de la muy traída y llevada señal de disparo. En la práctica existen 3 métodos para generar dicha señal de disparo. El primero de ellos, y probablemente el más simple, consiste en utilizar una señal de disparo exterior. Quizá algún punto del circuito sometido a comprobación puede ser adecuado para obtener el impulso de disparo (en el momento correcto).
Una segunda solución algo más elaborada consistiría en obtener el impulso de disparo de los propios datos que se están analizando, sin embargo esto complica algo más las cosas. La tercera solución es una combinación de las dos primeras, y utiliza un «identificador de palabras lógicas». Como indica su nombre, este circuito es capaz de reconocer una palabra lógica pre-seleccionada de 10 bit, cuando esta aparece en la entrada de datos. Puesto que los datos de entrada se llevan en primer lugar a una memoria temporal (Latch) de 8 bit, resulta sencillo general un impulso cuando el contenido del Latch se hace igual a la palabra preseleccionada en el identificador de palabras lógicas.
Pero por el momento dejemos este circuito y volvamos a la memoria. Una vez almacenados los datos en la memoria RAM, éstos deberán ser leídos por algún sistema capaz de transformarlos en una señal adecuada para un osciloscopio que los visualice de manera legible y en orden.
Cuando se activa FF2, simultáneamente S2 cambia de posición, con lo que el sistema se conmuta, de una determinada frecuencia de reloj a una frecuencia de barrido de imagen. Asimismo el multivibrador MMV queda activado durante cada impulso de la señal de arrastre generada por el contador B. De esta forma se asegura la inhibición del oscilador de reloj durante el período de MMV con el fin de preparar la base de tiempos del osciloscopio para un nuevo disparo de línea. Una vez efectuado el disparo, el contenido del contador C se incrementa en una unidad, a la vez que se aplica la señal de disparo al osciloscopio. En esta situación, estamos en condiciones de visualizar en la pantalla una nueva línea cuya posición vertical viene determinada por el estado del contador C. Las salidas de este contador de 3 bits se conectan a un convertidor digital/analógico que se conecta directamente a la entrada Y del osciloscopio. Después del impulso de disparo, el contador A continúa su ciclo de cuenta, y los datos almacenados en la RAM pasan al multiplexor. Mientras el contenido del contador C permanezca fijo, el multiplexor transmitirá los bits de uno en uno a la entrada LSB del conversor D/A. De esta forma, y para una misma línea de entrada se realiza la transferencia de los 256 bits hacia el conversor D/A; siendo a continuación visualizados en la pantalla. Cuando un bit sea 1 el nivel de tensión en la entrada Y del osciloscopio se verá ligeramente incrementado, mientras que un estado lógico bajo hará que el trazo reflejado en la pantalla permanezca al mismo nivel (este último depende del contenido del contador C, es decir, de la línea de datos que se esté examinando).

2

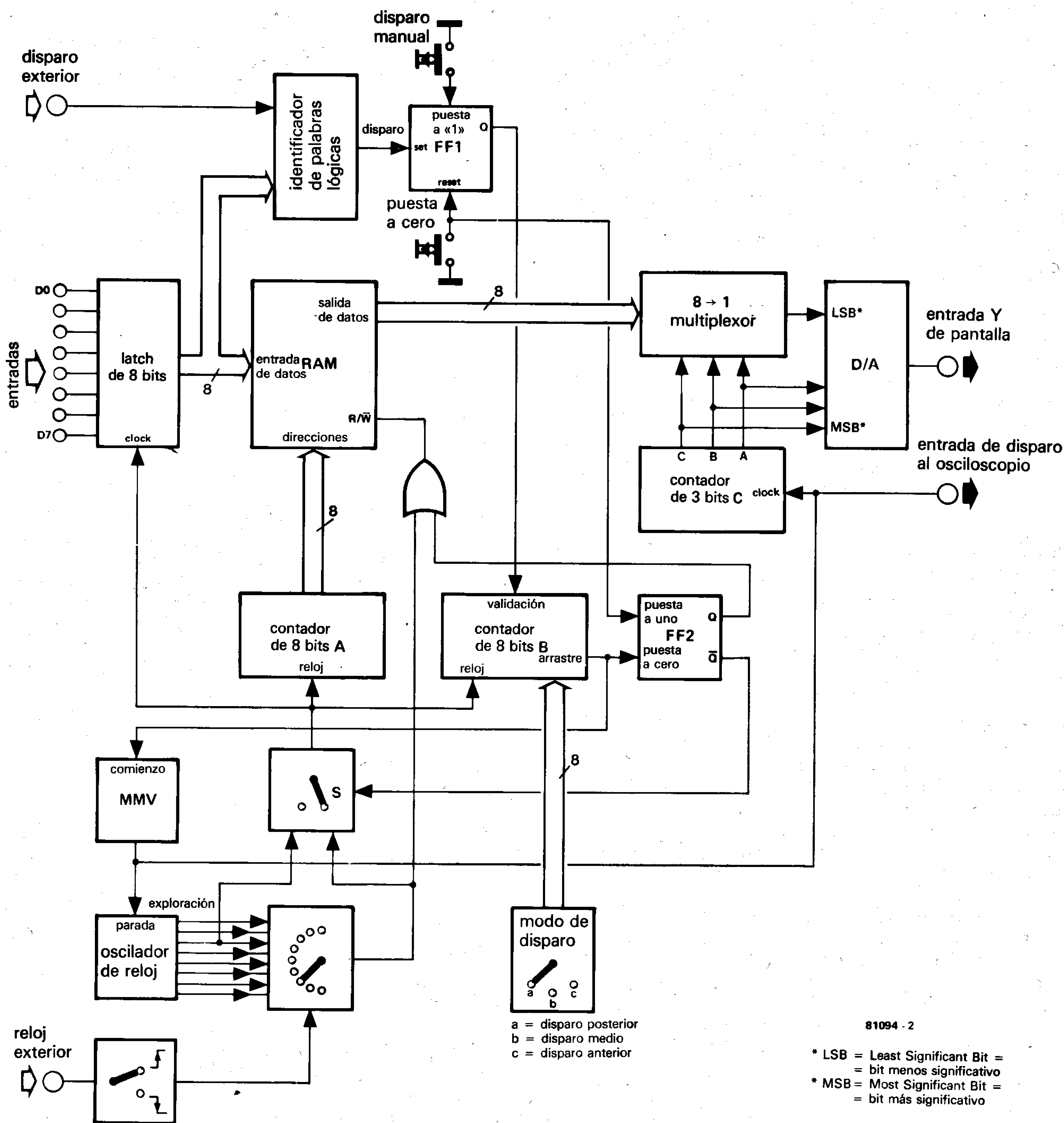


Figura 2. Diagrama de bloques completo. En este diagrama se muestran detalladamente las diferentes secciones del analizador lógico.

Si el contador C está en «000», la tensión de salida del conversor D/A será, por tanto, de 0V y dicha línea será trazada en la parte inferior de la pantalla. En este caso el multiplexor conectará la línea de datos D7 (de la RAM) a la entrada del conversor D/A.

Después de 256 impulsos de reloj, toda la información correspondiente a la línea D7 habrá sido visualizada, y el contador B en este caso producirá una nueva señal de arrastre que disparará a MMV. Transcurrido el período de oscilación de MMV, el contenido del contador C se verá incrementado en una unidad (simultáneamente el osciloscopio recibe un impulso de disparo). Una nueva línea se dibuja en la pantalla del osciloscopio pero en una posición ligeramente más alta que la anterior, puesto que el contenido del contador C es ahora 001. Como en el caso anterior el multiplexor conecta la salida de datos D6 de la RAM al conversor D/A. Toda la información correspondiente a esta línea aparecerá ahora en la pantalla del osciloscopio en segunda posición.

Esta operación se repite hasta visualizar las 8 líneas de datos, correspondientes a la información almacenada en la memoria RAM, es decir, 8 líneas de 256 bits cada una. Una vez finalizado el ciclo de lectura y visualización, éste comienza nuevamente desde el principio para que la información dibujada en la pantalla sea completamente estable.

En la figura 3 se muestra los niveles de tensión generados por el conversor D/A que alimenta a la entrada Y del osciloscopio. La señal superior representa el impulso de disparo, y proporciona el correspondiente pulso para que cada línea pueda ser escrita en la pantalla. La forma de onda de la entrada Y es una tensión en escalera que sube un «peldaño» cada 256 bits de la memoria RAM. La siguiente ilustración muestra el aspecto que debe presentar la pantalla del osciloscopio; cada línea corresponde a un valor de tensión en la entrada Y. En este diagrama simplificado sólo se han representado algunos bits, ya que una línea completa habrá de contener la información correspondiente a 256 bits.

Una vez asimilada esta explicación, es de esperar que el lector se haya familiarizado un poco más con el circuito del analizador lógico (paulatinamente irá perdiendo su aparente complejidad circuital); sin embargo, no nos confiemos, pues aún queda mucho camino.

A continuación se abordará la explicación de algunos circuitos adicionales, que potencian las prestaciones del analizador lógico y facilitan su utilización.

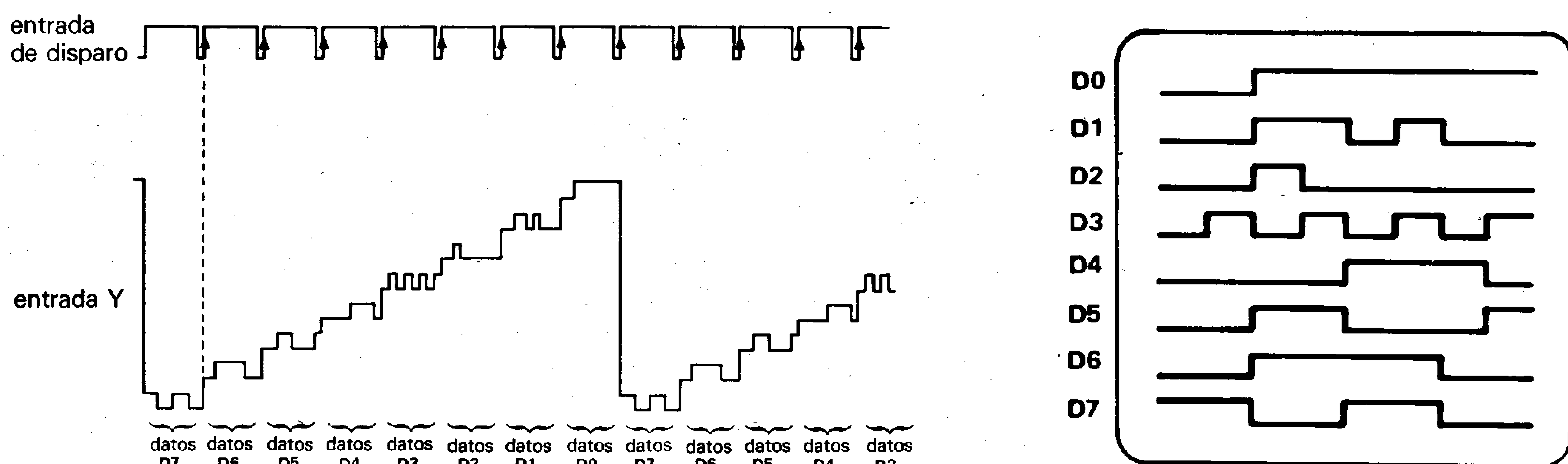


Figura 3. Esta figura muestra de qué forma se obtienen las líneas de pantalla a partir del contenido de la RAM.

El cursor.

Como se ha dicho anteriormente, la pantalla contiene en este momento toda la información memorizada en la RAM, o sea, 8 líneas de 256 bits cada una. Esto evidentemente representa una gran cantidad de información distribuida en un área de dimensiones reducidas (¡la pantalla del osciloscopio!). Sin embargo, no es necesario ejercitarse en la concentración visual para efectuar la lectura de una cierta palabra de 8 bits, ya que nuestro analizador lógico incluye un dispositivo de búsqueda de gran utilidad: el cursor (figura 4).
El cursor trabaja como «puntero» y como visualizador hexadecimal de byte que se está examinando. Esto último se realiza mediante dos dígitos de 7 segmentos (LED), conectados a través de un decodificador y un buffer, a cuatro de las 8 salidas de la memoria RAM. La información que aparece en estos visualizadores viene expresada en forma hexadecimal; el primer dígito corresponde a los datos que aparecen en las líneas D4...D7, y el segundo dígito a las, líneas D0...D3. Cuando se está realizando el proceso de lectura en la memoria RAM los visualizadores hexadecimales se encuentran desconectados, gracias a la salida Q de FF2 (que en este momento estará a nivel bajo). El visualizador no se encenderá hasta que se haya escrito en la pantalla una línea de datos completa.
El cursor propiamente dicho está formado por: el control de cursor, el contador D, y un comparador de 8 bits. La posición del cursor puede controlarse mediante el contador D, el cual a su vez es controlado por los mandos «avanzar y retroceder». El comparador, como su nombre indica, efectúa una comparación entre los datos del contador D y los del contador A (este último proporciona el código de direcciones para la memoria RAM). Cuando el contenido de ambos contadores es igual, el comparador genera un impulso de disparo que alimenta a la entrada Z de modulación del osciloscopio. De esta forma se hace aparecer en la pantalla un punto luminoso en cada línea. Si es osciloscopio no tuviera entrada de modulación Z, el cursor aparecerá en la pantalla como un «hoyuelo» en cada línea de datos.
El impulso generado por el comparador también se emplea para efectuar un almacenamiento temporal (latch) de las 8 líneas de

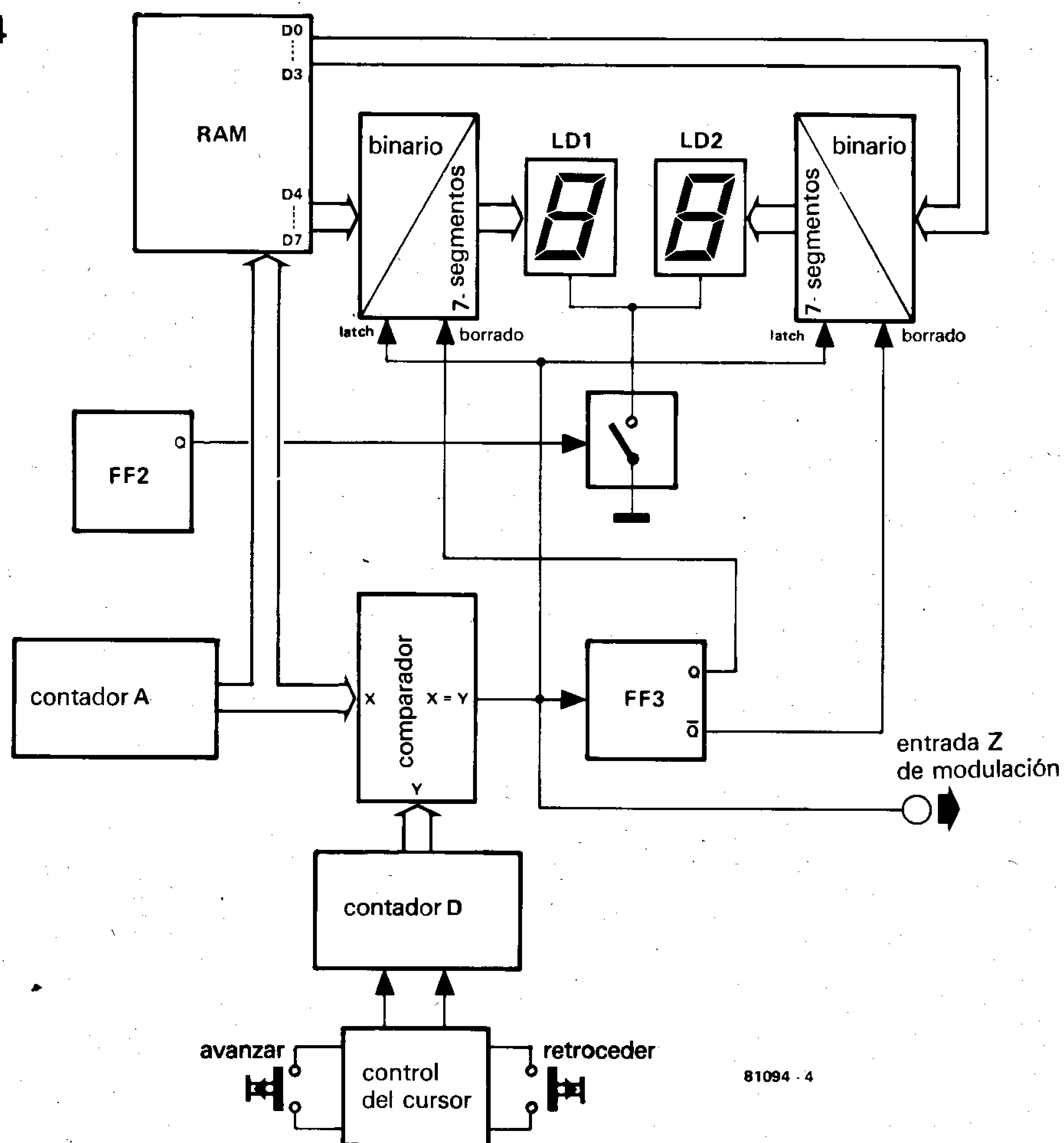


Figura 4. Diagrama de bloques de la unidad que realiza el control del cursor. Esta parte del circuito incluye dos visualizadores LEDs de 7 segmentos, que indican en código hexadecimal los datos mostrados en la pantalla del osciloscopio. La RAM FF2 y el contador A son los mismos bloques que aparecen en la figura 2.

datos de una dirección, en los decodificadores de 7 segmentos, con lo que los datos aparecerán en los dos visualizadores (LD1 y LD2) en forma hexadecimal.
Otra utilización del impulso generado por el comparador es dotar al circuito de una sencilla forma de multiplexado, con el fin de mantener la corriente que circula por los visualizadores de 7 segmentos a un nivel adecuado.
Después de cada 256 impulsos de reloj, el contenido del contador A se hará nuevamente igual al contenido del contador D y el comparador generará su impulso de modulación.
Mediante este proceso se obtiene una útil indicación visual: una columna vertical de 8 puntos aparecerá en la pantalla; uno para cada línea de datos. Al mismo tiempo, el byte en cuestión será visualizado en forma hexadecimal en los dígitos de 7 segmentos. De esta forma se simplifica la tarea de encontrar un cierto byte, se reduce al mover el «cursor» de izquierda a derecha mediante los botones de desplazamiento.

Fin de la primera parte

Con esta explicación esperamos haber puesto de manifiesto la gran importancia que tienen los diagramas de bloques en la

explicación de circuitos que presentan una cierta complejidad, tal como el analizador lógico. Si bien, todo ha sido muy sencillo hasta aquí, es preciso considerar que únicamente hemos abordado una mínima parte del circuito. Sin embargo, esto representa una ventaja, y es que el estudio en profundidad que se realizará en el siguiente artículo vendrá suavizado por la lectura de este primero, el cual pretende dar una vista de conjunto sobre el funcionamiento y normas de diseño que han guiado a nuestro departamento técnico en la realización del analizador lógico.
Quizá fuera necesario advertir que este circuito presenta una cierta complejidad, y como tal no debe considerarse el proyecto adecuado para los principiantes, sin embargo, hay que admitir que hasta los más grandes matemáticos *tuvieron que aprender a sumar algún día*.
Un analizador lógico que se «precie» deberá poder trabajar a elevadas frecuencias por lo que habrá de prestarse especial atención en la colocación y soldadura de componentes. Aquellos lectores que posean una cierta experiencia con los microprocesadores no encontrarán ningún problema en su montaje; sin embargo para aquéllos que comienzan su andadura en el campo de la electrónica, en el próximo artículo se incluirán los conejos de construcción habituales en nuestros artículos.

Para aquellos lectores que coleccionen cajas de música, el hablar de una «caja de música electrónica» puede parecerles una idea tan loca como dedicar un artículo a los «teléfonos de gas», o a los «microprocesadores con resortes», ya que a primera vista, puede pensarse que la electrónica y las cajas de música no tienen muchos puntos en común.
Sin embargo, el circuito que presentamos en este artículo, conserva gran parte del encanto que poseían las antiguas cajas de música, con la ventaja de que nuestro prototipo es capaz de interpretar hasta 27 melodías populares. Con lo que acabamos de decir, quedan perfectamente definidas las aplicaciones del circuito: timbre de puerta, video-juegos, carillones, etc.

caja de música

En la figura 1 se muestra el esquema completo de la caja de música. Como era de esperar, se ha sustituido el tambor rotativo de vástagos por un *frío* circuito integrado. Se trata del AY-1350 de General Instruments (firma muy conocida por sus integrados musicales).
Este circuito (IC4 de la figura 1) precisa de algunos componentes adicionales para obtener de él las máximas posibilidades; algunos de ellos son habituales en montajes de este tipo: el oscilador de reloj, el amplificador de BF, los conmutadores de selección (estos últimos emplean un curioso sistema de multiplexado).
Para seleccionar una determinada melodía debe conectarse a masa una de las patillas A...E (25...21), a la vez que la patilla 15 se conecta a una de las patillas 1...4 (20, 19, 18, 9).
Existen varias maneras prácticas de realizar la selección de melodías. Un método consiste en realizar mediante cables la conexiones adecuadas, otro puede ser realizar estas conexiones mediante interruptores y finalmente existe un tercer método que consiste en una combinación de los dos anteriores. Si el circuito se construye de acuerdo con el esquema de la figura 1 y se realiza la preselección de melodías uniendo mediante cables los puntos K...N con los puntos R...V tal como se indica en la figura 2 a, la selección de las distintas melodías se realizará, sencillamente, actuando los pulsado-

Tabla 1

figura 2a (puente)	figura 2a (pulsador)	figura 2b S2	figura 2b S3	melodía
—	S_A	0	A	Torero
—	S_B	0	B	Guillermo Tell
—	S_C	0	C	Coro Aleluya
—	S_D	0	D	Star Spangled Banner
—	S_E	0	E	Yankee Doodle
KR	S_A	1	A	John Brown's Body
KS	S_B	1	B	Clementina
KT	S_C	1	C	Dios Salve a la Reina
KU	S_D	1	D	Coronel Bogey
KV	S_E	1	E	La Marsellesa
LR	S_A	2	A	America, America
LS	S_B	2	B	Canto alemán
LT	S_C	2	C	Marcha nupcial
LU	S_D	2	D	5.ª de Beethoven
LV	S_E	2	E	Augustine
MR	S_A	3	A	O Sole Mio
MS	S_B	3	B	Santa Lucia
MT	S_C	3	C	El final
MU	S_D	3	D	El Danubio azul
MV	S_E	3	E	Canción de cuna de Brahms
NR	S_A	4	A	Hell's Bells
NS	S_B	4	B	Jingle Bells
NT	S_C	4	C	La Vie en Rose
NU	S_D	4	D	La guerra de las galaxias
NV	S_E	4	E	9.ª de Beethoven
	S_F			Escala descendente
	S_G			Carillón de Westminster

1

D1...D11 = DUS

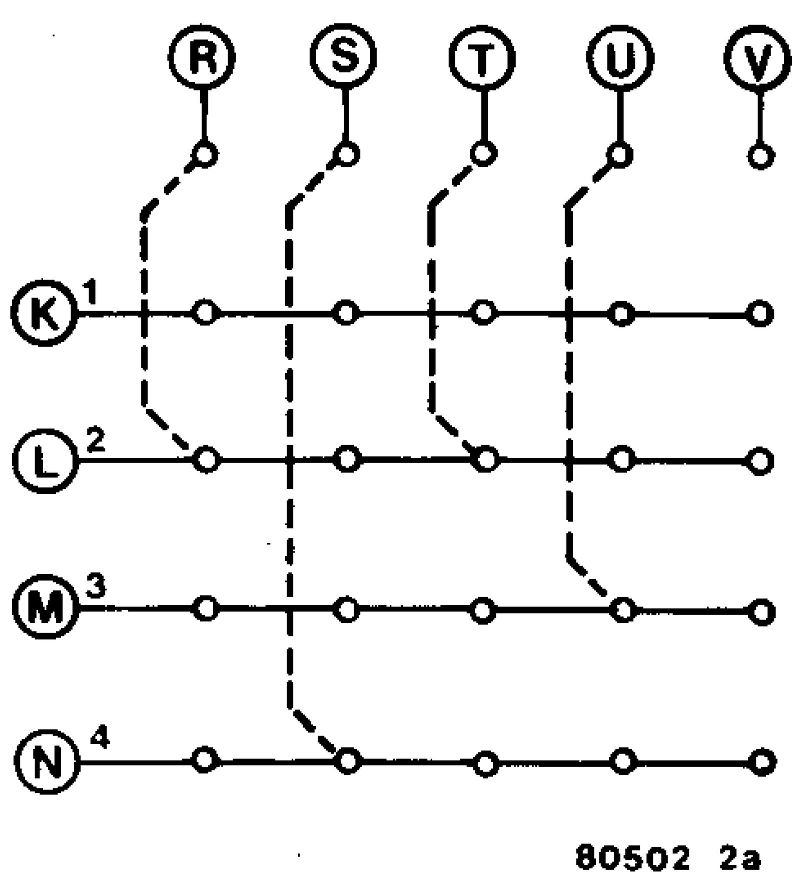
N1 . . . N5 = IC1 = 4049
ES1 . . . ES4 = IC2 = 4066
ES5 . . . ES8 = IC3 = 4066

*Ver texto

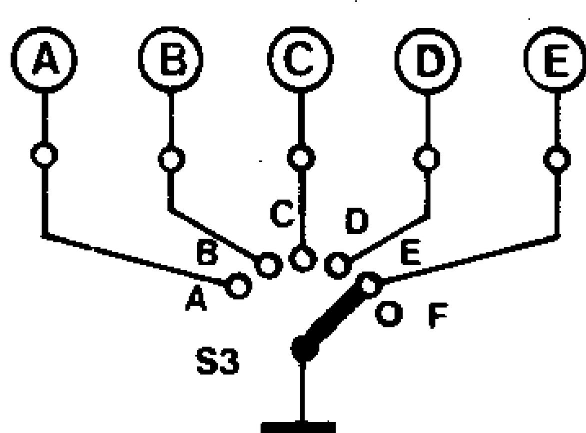
80502

Figura 1. Circuito completo de la caja de música.

2a



2b

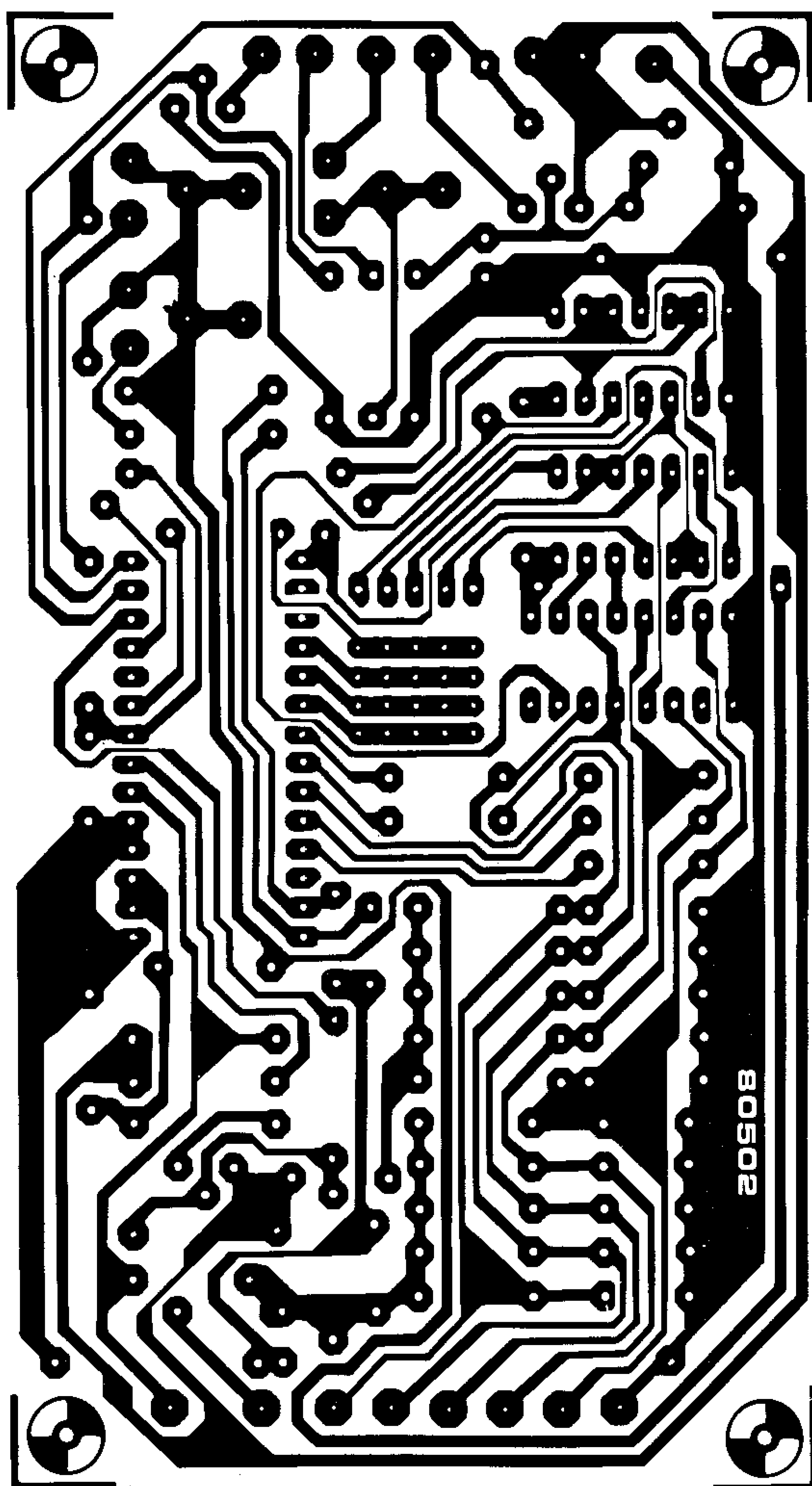


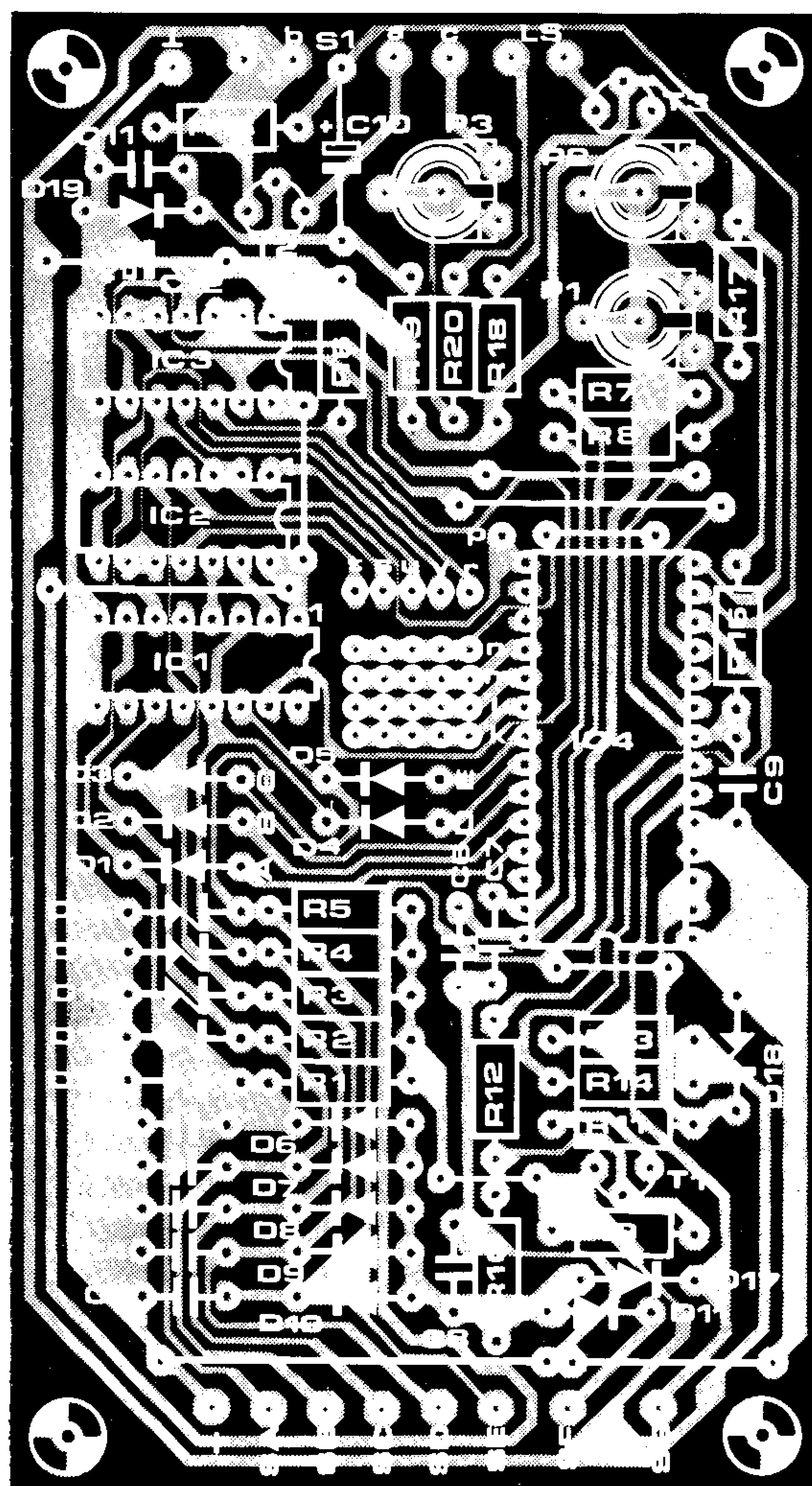
R S T U V
K
L
M
N
1 2 3 4 0
S2
P

80502 2b

Figura 2. En la figura 2a se muestra el cableado de preselección. En la figura 2b pueden verse las conexiones necesarias para realizar la selección con dos conmutadores multicontacto.

3





Lista de componentes

Resistencias:

R1 . . . R6,R9 = 10 k
R7 = 100 k
R8,R17 = 2k7
R10,R12,R16 = 3k3
R11 = 27 Ω
R13,R14,R18 = 33 k
R15 = 560 k
R19 = 47 k
R20 = 100 Ω

P1 = 10 k ajustable
P2 = 1 M ajustable
P3 = 500 Ω ajustable

Condensadores:

C1 . . . C5 = 10 n
C6,C8,C11 = 100 n
C7 = 220 p
C9 = 220 n
C10,C12 = 10 μ/16 V

Semiconductores:

D1 . . . D11,D17,D19 = DUS
D12 . . . D16 =
zener 10 V/400 mW
D18 = zener5V6/400 mW
T1 = TUP
T2 = BC 517
T3 = TUN
IC1 = 4049
IC2,IC3 = 4066
IC4 = AY-3-1350

Varios:

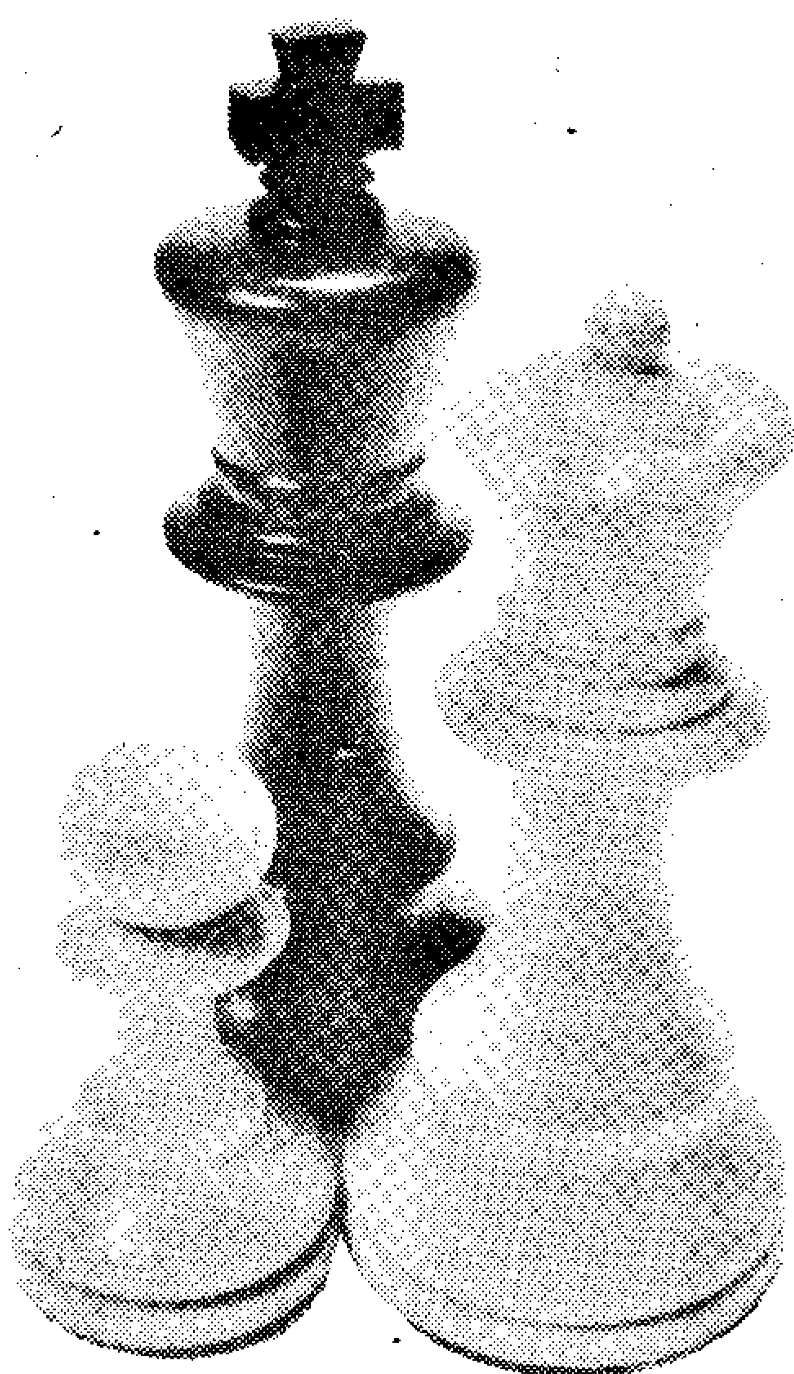
S_A . . . S_G = pulsador
S1 = S.P.D.T.
S2 = interruptor de 5 posiciones
S3 = interruptor de 6 posiciones
LS = altavoz de 8 Ω/0,5W (ver texto)

res S_A...S_E. Efectivamente al actuar dichos pulsadores se ponen a masa a través de los diodos D1...D5, los puntos A...E. A la vez que a través de los interruptores electrónicos ES1...ES5 se une la patilla 15 con una de las patillas 20, 19, 18, 9. Por otra parte los pulsadores S_F y S_G proporcionan directamente una escala musical descendente y la melodía del carrillón de Westminster respectivamente. En la tabla 1 pueden verse las melodías disponibles y las conexiones que son necesarias para seleccionar cada una de ellas. Los códigos numéricos y letras que se dan en dicha tabla se corresponden con los que aparecen en la disposición de componentes que se indica en la figura 3.
Otro método práctico para realizar la selección de melodías se basa en la utilización de dos conmutadores multicontacto. En este caso puede prescindirse de la zona de circuito que, en la figura 1, está encerrada por la línea discontinua. De este modo pueden seleccionarse cualquiera de las 25 melodías. Como puede verse en la figura 2 b, los puntos A...E pueden ponerse a masa por medio del conmutador de 6 posiciones, S3 mientras que por otra parte el conmutador S2 conecta uno de los puntos K...N al punto P.
Las resistencias R6 y el interruptor electrónico ES5 no son necesarias en esta última opción aunque estén fuera de la línea discontinua; esto es debido a que ES5 pertenece al circuito integrado IC3 que sí es necesario utilizar.
El oscilador está formado por C7, R8 y P1 junto con parte de IC4. El «tempo» de la melodía se ajusta mediante P_1, la longitud de cada nota puede ajustarse mediante P_2 y P_3 permite regular el volumen.
Pueden usarse dos pilas de 4,5V para alimentar el circuito, ya que su consumo en reposo es sólo de unos pocos microamperios. El transistor P1 y el diodo zener D18 se han incluido para reducir la tensión de alimentación a 5V en aquellas partes del circuito que así lo requieren.
La impedancia nominal del altavoz es 8 ohmios, pero puede utilizarse cualquier otro de mayor impedancia si se reduce convenientemente el valor de R20. Finalmente queda por mencionar el intrruptor S1. Su función es seleccionar el sonido de nuestra caja de música entre piano y órgano.
Las pruebas han mostrado que cuando se utiliza este circuito como timbre de puerta, el visitante medio sólo necesita 45 minutos aproximadamente para familiarizarse con el sistema y seleccionar la melodía deseada (!). Por consecuencia, no es aconsejable desconectar el antiguo timbre de puerta.

el ordenador y el ajedrez

Cómo piensa «el monstruo»

Durante largo tiempo el ajedrez se nos ha presentado como un símbolo de las proezas del intelecto humano. Hace algunos años, la perspectiva de ver un campeón —humano- derrotado por un ordenador que jugase al ajedrez, parecía aún lejana. Sin embargo, hace bastantes meses, en el transcurso de una partida de ajedrez objeto de gran publicidad por parte de los medios informativos, se produjo el hecho insólito: un campeón internacional de ajedrez, David Levy, fue realmente derrotado por un programa procedente de América del Norte.
En el presente artículo describiremos los principios básicos sobre los que operan los ordenadores de ajedrez, señalando sus puntos fuertes y débiles.



Hace tan sólo 30 años, el ordenador electrónico se encontraba aún en su fase «infantil», y era un exponente más del conocido principio de termodinámica que asegura: «todo trabajo viene acompañado de una liberación de calor». En esta época, el juego de ajedrez llamaba la atención de numerosos investigadores que trabajaban en el campo de la inteligencia artificial.
El matemático inglés Claude Shannon fue el primero que propuso un método viable para programar un ordenador con el fin de que pudiera jugar al ajedrez. En 1949 publicó el artículo «Programing a computer for playing chess» (Cómo programar un ordenador para jugar al ajedrez), considerado aún hoy día como literatura fundamental sobre este tema, en su tiempo resultó una verdadera primicia sobre los postulados de inteligencia artificial. Para ser honestos debemos puntualizar que las ideas de Shannon siguen siendo utillizadas actualmente en el desarrollo de los más potentes programas de ajedrez.
El interés que indujo a Shannon a la creación de este libro y sus consiguientes investigaciones sobre el juego de ajedrez se debió a su creencia de que los juegos representaban el medio ideal de probar la «inteligencia» de una máquina. El juego de ajedrez está claramente definido por una serie de operaciones lícitas (el movimiento de las piezas) y por un objetivo final (dar mate al contrario), todo lo cual no debe considerarse ni demasiado simple ni demasiado complejo, desde una perspectiva de estudio y análisis.

El tablero, las piezas y los movimientos

Shannon propuso para representar el tablero en la máquina una correspondencia entre cada casilla del tablero y cada posición de Y + 1)(es decir 65, verifica que la casilla de memoria del ordenador. Con este fin cada pieza tiene asignado un valor numérico: +1 para un peón blanco, +2 para un caballo blanco, +3 para el alfıl blanco, etc. -1 para un peón negro, -2 para un caballo negro, y así sucesivamente. Dichos números se graban en la dirección de memoria que representa la casilla del tablero ocupada por la pieza correspondiente. Se representa una casilla vacía, simplemente grabando un 0 en la dirección de memoria apropiada. Gran parte de los numerosos programas aparecidos recientemente se sirven de este método, a excepción de aquéllos que utilizan un tablero de 10 × 12 casillas, en lugar de 8 × 9, en las que se graba un número especial (por ejemplo, 99) en todas aquellas casillas situadas fuera del tablero real, con objeto de permitir al programa identificar los bordes del tablero. Este principio se ilustra en la figura 1, donde las direcciones de cada casilla se indican en la esquina superior izquierda; la figura muestra igualmente el contenido de cada casilla de memoria (antes de comenzar la partida). El programa engendra los movimientos lícitos simplemente ajustándose a las relaciones matemáticas entre las diferentes casillas. Supongamos, por ejemplo, que las direcciones de cada casilla han sido distribuidas según el diagrama de la figura 1. Para calcular los movimientos lícitos posibles, por ejemplo, los de un rey situado en la casilla 25, se sumará al indicativo (25) de esta dirección las constantes +1, +9, +10, +11, -1, -9, -10 y -11. El programa verificará entonces el contenido de las nuevas direcciones con el fin de determinar si el movimiento propuesto es lícito. Si el contenido de la memoria es 99, significa que la casilla está situada fuera del tablero y por consecuencia el movimiento es ilícito. Si la memoria contiene un número positivo, indica que el casillero está ya ocupado por una pieza blanca; y por el contrario si la memoria contiene un número negativo, el rey podrá legalmente ocupar este casillero capturando la pieza contraria que la ocupa (suponiendo que esta pieza no está protegida). Para finalizar, una casilla de memoria que contenga un 0 representa siempre un movimiento lícito, suponiendo que la casilla correspondiente no está sometida al ataque de una pieza adversa.
El cálculo de los movimientos lícitos para una pieza que se desplaza en diagonal, tal como puede ser el alfil es algo más complicado.
Para un alfil blanco situado en la casilla XY (por ejemplo 54, donde X = 5 y Y = 4), el programa examina la dirección (X + 1, Y + 1(es decir, 65), verifica que la casilla de memoria correspondiente contiene un 0, y a continuación (en caso de que realmente haya encontrado un 0 en dicha casilla)) examinará la dirección (X + 2, Y + 2), y así sucesivamente; si la dirección (X + 1, Y + 1) contiene un número negativo, el alfil podrá ocupar esta casilla tan sólo con capturar la pieza, sin embargo no podrá ir más allá de este punto (tal y como indican las reglas de ajedrez). La máquina respetará el proceso descrito anteriormente por las casillas (X-1, Y-1), (X-2, Y-2), etc., a continuación efectuará el mismo proceso con (X-1, Y + 1,), (X-2, Y + 2) etc., y finalmente efectuará la comprobación sobre (X + 1, Y-1), (X + 2, Y-2) etc. De esta forma el programa engendra los movimientos lícitos para el alfil a lo largo de las cuatro diagonales. Para determinar los movimientos lícitos de las demás piezas pueden efectuarse operaciones

similares, aunque en algunos casos será necesario verificar que su desplazamiento no produzca un jaque abierto contra el propio rey. El procedimiento se complica aún más en el caso de un enroque, o cuando se trata de «comer al paso».

Una aproximación más «lógica»

La aproximación precedente tiene gran difusión en la actualidad, sobre todo en los últimos programas aparecidos en el mercado, aunque recientemente se ha desarrollado un método diferente, particularmente adaptable a los grandes ordenadores. Este método se basa en el hecho de que los grandes ordenadores funcionan con palabras de 64 bits. Si se asocia un bit a cada una de las casillas del tablero, bastarán 12 palabras de 64 bits para representar la posición de la totalidad de las piezas. Por ejemplo, una sola palabra lógica dará la posición de todos los peones blancos poniendo a uno los bits correspondientes a cada una de las casillas en las que se encuentra situado un peón. Si una casilla está vacía, el valor de dicho bit será «0». Una segunda palabra determinará la posición de los caballos blancos, y así sucesivamente. Además de dar la posición de las piezas, se pueden utilizar estos «mapas binarios», o «tableros binarios» (como se les conoce normalmente), para representar diferentes tipos de información. Por ejemplo, una palabra de 64 bits puede representar las casillas atacadas por las piezas blancas, una segunda palabra puede indicar las casillas en las que el caballo da jaque al rey negro, y similarmente para las demás piezas. La ventaja real de este segundo método es evidente si consideramos el juego de instrucciones de que dispone un moderno ordenador. Por lo general los microprocesadores de la última generación incluyen la mayoría de las operaciones permitidas en el algebra de Boole. Estas operaciones permiten realizar gran cantidad de combinaciones con las informaciones registradas en los mapas binarios. Por ejemplo, supongamos que queremos saber si las fichas blancas pueden «hacer la tenaza», con sus caballos, al rey y la reina de las piezas negras. Para ello bastará con acudir a los dos mapas binarios que registran los movimientos potenciales de un caballo a partir del rey y la reina (negras) respectivamente, y al mapa binario que muestran los movimientos de los caballos a partir de sus casillas actuales. Puede ocurrir que la casilla buscada se encuentre ya ocupada por una pieza blanca, por lo que se invertirá el mapa de las posiciones, para, a continuación, componerlo con los tres mapas citados en un principio (mediante una operación AND): Si el resultado es diferente de 0, existe al menos una posibilidad para realizar la «tenaza». Finalmente este mapa se compone con la carta que representa a las casillas atacadas por las piezas negras (mediante una operación AND) con objeto de determinar si la casilla sobre la que se desea realizar la tenaza está defendida. Como puede verse la operación precedente tan sólo ocupará algunos pasos del programa.

La búsqueda de los movimientos acertados

Una vez conseguido que el programa sea capaz de realizar movimientos lícitos, es preciso hacer una rigurosa selección entre los movimientos afortunados y desafortunados. Verdaderamente este es uno de los aspectos que presenta mayores dificultades. El problema más inmediato consiste en realizar mediante programa un examen de todos los movimientos lícitos de las fichas blancas, así como las correspondientes reacciones de las fichas negras. Un segundo paso sería examinar las contrarreacciones lícitas de las fichas blancas, y así sucesivamente hasta el nivel indicado por el programador. Este procedimiento bautizado por Shannon «estrategia de tipo A» presenta, sin embargo, numerosos inconvenientes difíciles de resolver.

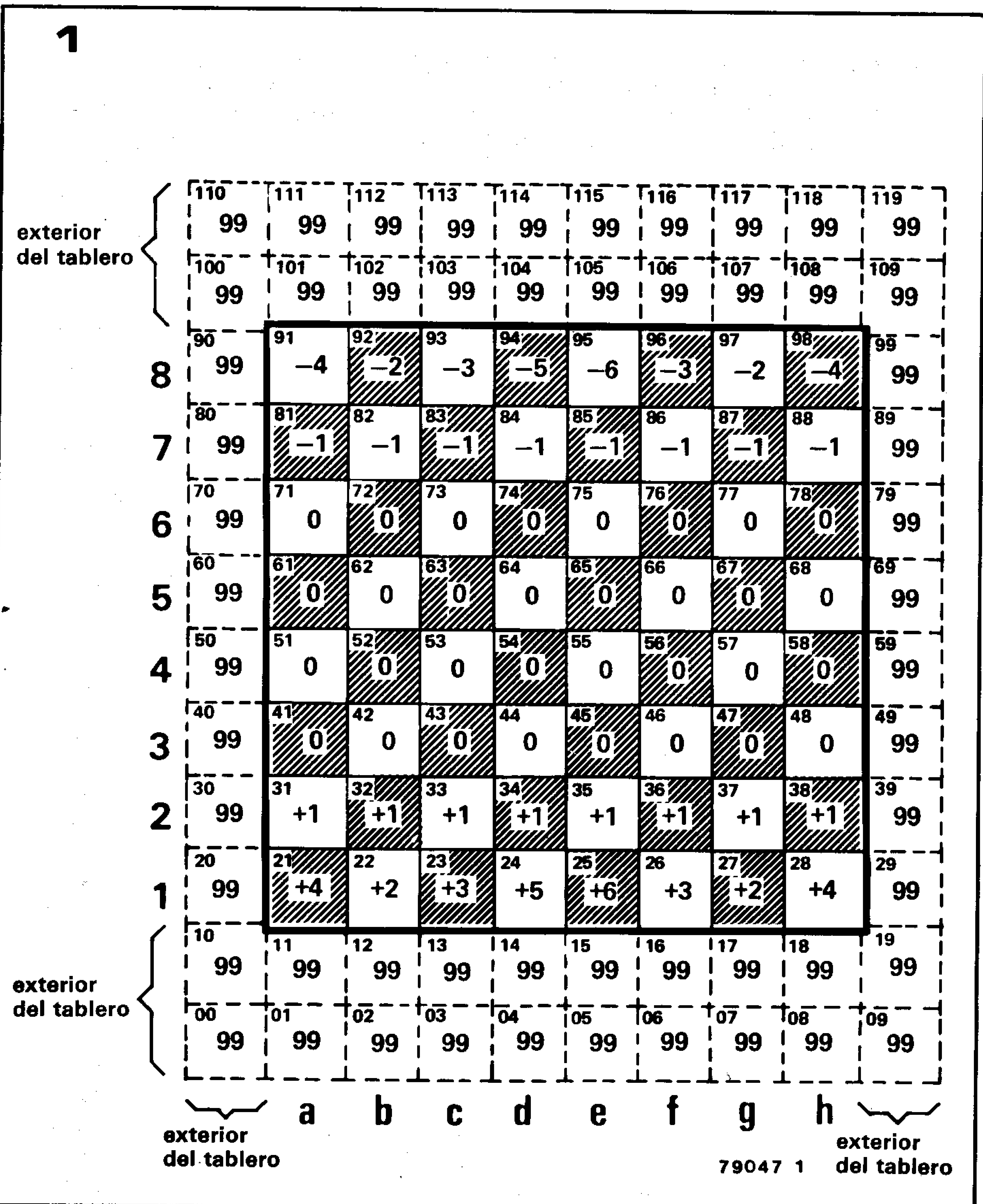
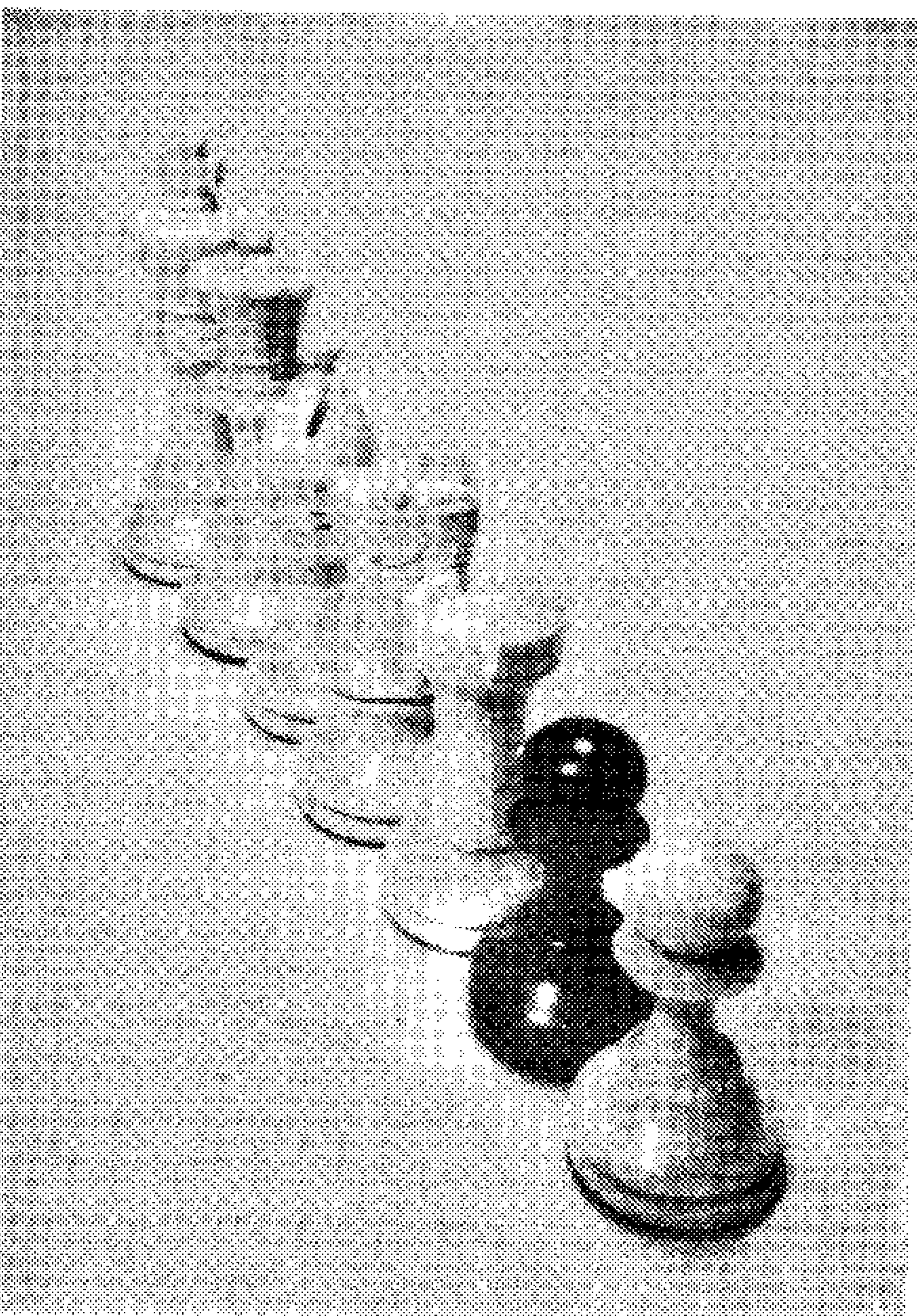
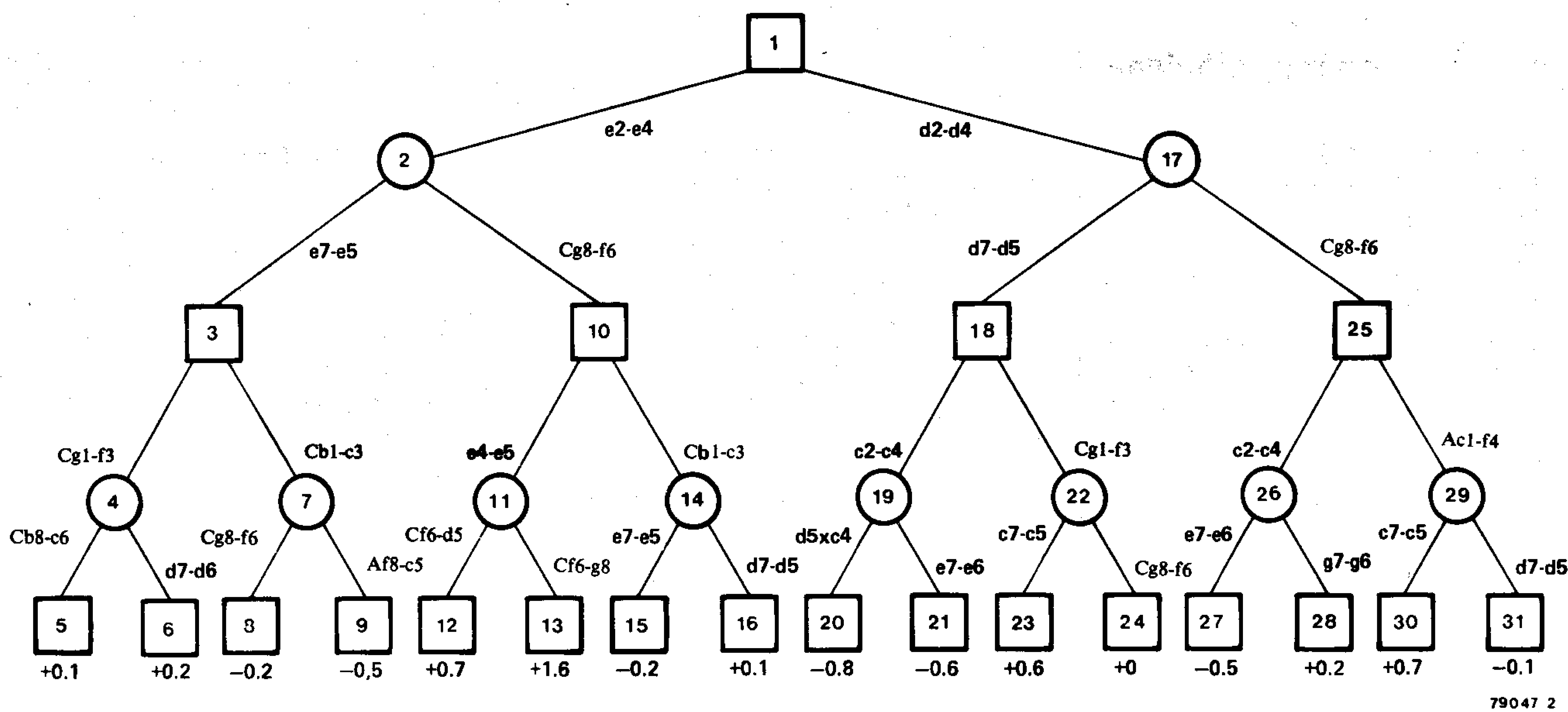


Figura 1. El ordenador representa el tablero adjudicando una dirección de memoria a cada una de las casillas del tablero.

Figura 2. Arbol de juego simplificado.





Para cada posición, el número medio de movimientos lícitos es de 38. Esto significa que un análisis extendido a dos movimientos lícitos de las fichas (es decir, un movimiento por cada jugador) supondría la evaluación de $38^2 =$ 1.444 posiciones finales. Un análisis extendido a 4 movimientos únicamente, daría 2.085.136, mientras que un verdadero estudio de las posibilidades (6 movimientos como mínimo) exigiría la evaluación de 30100936389 posiciones aproximadamente (!). Como puede verse fácilmente, debido al crecimiento exponencial del número de posiciones finales en función de los movimientos, un estudio de posibilidades completo de este tipo es totalmente imposible.

Un segundo inconveniente que presenta el estudio completo de posibilidades para un número fijo de movimientos, es que la máquina puede finalizar sus investigaciones en medio de una serie de cambios, con lo cual ésta inevitablemente proporcionará una valoración de su posición errónea. El error cometido en estas apreciaciones por la máquina es tan importante, que incluso puede llegar a estimar que una pieza se encuentra en posición preferente, mientras que en la realidad dicha pieza está a punto de ser abatida por el oponente (o incluso la partida completa). Un ejemplo fascinante de este tipo de «errores de máquina» puede encontrarse sin ir más lejos en la partida de COKO contra GENIE (dos programas de ajedrez).

Shannon era perfectamente consciente de los problemas inherentes a la estrategia del tipo A; motivo por el cual desarrolló y propuso un segundo modelo que denominó con el nombre de «estrategia de tipo B». Este último programa de ajedrez se caracteriza por utilizar un nuevo término: posición«estable». Es decir, el programa continúa sus investigaciones hasta agotar exhaustivamente todas las posibilidades; en otras palabras, hasta encontrar una posición reconocida como estable (estática). Aún más, un programa dotado de una estrategia de tipo B no intentará nunca engendrar la totalidad de los movimientos lícitos a partir de na posición dada, sino más bien elegirá un pequeño número de movimientos «plausibles» para a continuación realizar un análisis. Naturalmente, este perfeccionamiento exigirá que el programa contenga ciertos criterios que le permitan distinguir los movimientos afortunados de los que no presentan ningún interés, es decir, el programa debe incorporar un «generador de movimientos aceptados».

La característica más interesante aprotada por la estrategia de tipo B es la tendencia a simular las características de los más eficaces jugadores de ajedrez que se conocen en la actualidad; es decir, el hombre.

Contrariamente a lo que la mayoría de la gente cree, los campeones de ajedrez no prevén docenas de jugadas antes de realizar un movimiento, ni estudian centenares de variaciones diferentes a la hora de decidir la colocación de una pieza. La verdad es muy diferente. Investigaciones llevadas a cabo por un psicólogo holandés, (de Groot) han reveleado que en la mitad del desarrollo de una partida entre grandes figuras, los campeones únicamente estudian 3 ó 4 movimientos diferentes, y que el máximo número de movimientos previstos con anterioridad pocas veces supera los 7. Por el contrario, un gran campeón es capaz de percibir la características críticas de una situación, y obviamente (por eso son grandes campeones) reaccionar con la estrategia apropiada. La evaluación de una situación hecha por una gran figura es siempre mucho más exhaustiva que la que cualquier aficionado podría llegar a realizar; el campeón puede «ver más lejos», distinguiendo los detalles de verdadera importancia que posteriormente condicionarán el desarrollo de la partida. Se cuenta que al interrogar al gran maestro checo Reti sobre el número de movimientos que preveía con anterioridad, respondía: «por lo general sólo uno». Los grandes campeones razonan principalmente en términos de estrategia general así como de formulación de planes viables y no en términos de movimientos específicos.

Para el programador de ajedrez, esta ciencia presenta verdaderas dificultades, ya que el reconocimiento de una cierta distribución de piezas es una tarea en la que los ordenadores han demostrado repetidamente su ineptitud (comparados con los jugadores humanos).

Las dificultades encontradas para crear un evaluador de situaciones eficaz y un generador de movimientos acertados son gigantescas, sobre todo si consideramos que, tal y como está establecido el juego de ajedrez, existen algunos casos en los que es conveniente «perder una parte importante de la batalla para poder ganar la guerra». Con seguridd la máquina eliminará todo movimiento no reconocido como válido por el análisis inicial de los movimientos. Sin embargo, antes de considerar más detalladamente los problemas presentados por la evaluación de una situación, abordaremos el examen del proceso que emplea el ordenador para escoger el movimiento acertado entre las diferentes posibilidades disponibles.

Desarrollo de los árboles de búsqueda

A este respecto Shannon sugirió una idea importante: el programa debe adoptar el proceso «minimax» (el camino más corto) propuesto por vez primera por Morgenstern y Von Neumann, en el curso de sus trabajos sobre la teoría de los juegos. El principio consiste en hacer que el programa desarrolle un «árbol» de variaciones. En la figura 2 se muestra un ejemplo simplificado

de un árbol de juego, en el que comienzan jugando las blancas, y en el que suponemos la existencia de algún tipo de funciones de evaluación estática que atribuye los valores positivos (méritos) a las situaciones favorables de las blancas, y números negativos a las situaciones favorables para las negras. El programa supone que en cada punto de bifurcación (o «nudo»), el jugador va a elegir la posibilidad más acertada. Es decir, en el turno de las blancas (nudos impares, cuadrados) el programa escogerá la alternativa con mayor posibilidad de éxito, mientras que cuando juegan las negras (nudos pares, círculos), el contrario elige la posibilidad de menor valor.

El programa examina en primer lugar la serie 1.e2-e4,e7-e5 2.Cgl-f3,Cb8-c6, a continuación evalúa la situación resultante y registra el valor así obtenido. Seguidamente continúa la evaluación con la serie 1.e2-e4,e7-e5 2.Cgl-f3,d7-d6. Una vez hecho esto compara el resultado con el obtenido para el nudo 5. El número más bajo de entre estos dos será obviamente la mejor posición desde el punto de vista de las negras (no hay que olvidar que juegan las negras y que el programa investiga el mínimo en los nudos pares). Este mínimo es enviado al nudo 4. El programa continúa el examen sucesivo de las situaciones finales 8 y 9 procedentes del nudo 7, y efectúa la consiguiente evaluación, conservando la más pequeña en el nudo 7. Este proceso se repite hasta conseguir los mejores valores para los nudos 11, 14, 19, 22, 26 y 29. A continuación el programa busca un máximo para los nudos 3, 10, 18 y 25 con el fin de encontrar el mejor movimiento para las fichas blancas. El proceso continúa del mismo modo buscando los «minimax» a lo largo del árbol, para conseguir el mejor movimiento para la presente situación.

Aunque este procedimiento parece «lógico», es preciso realizar una investigación completa, que particularizada para el ejemplo citado anteriormente (es decir, 4 movimientos) exigirá una evaluación media de aproximadamente dos millones de situaciones finales. Por fortuna, las últimas investigaciones han mostrado que utilizando ciertas técnicas se puede «podar» sustancialmente el árbol de juego. Persiste, sin embargo, un problema fundamental al nivel de la línea de base del árbol: es preciso que el programa evalúe las situaciones finales antes de escoger los movimientos acertados.

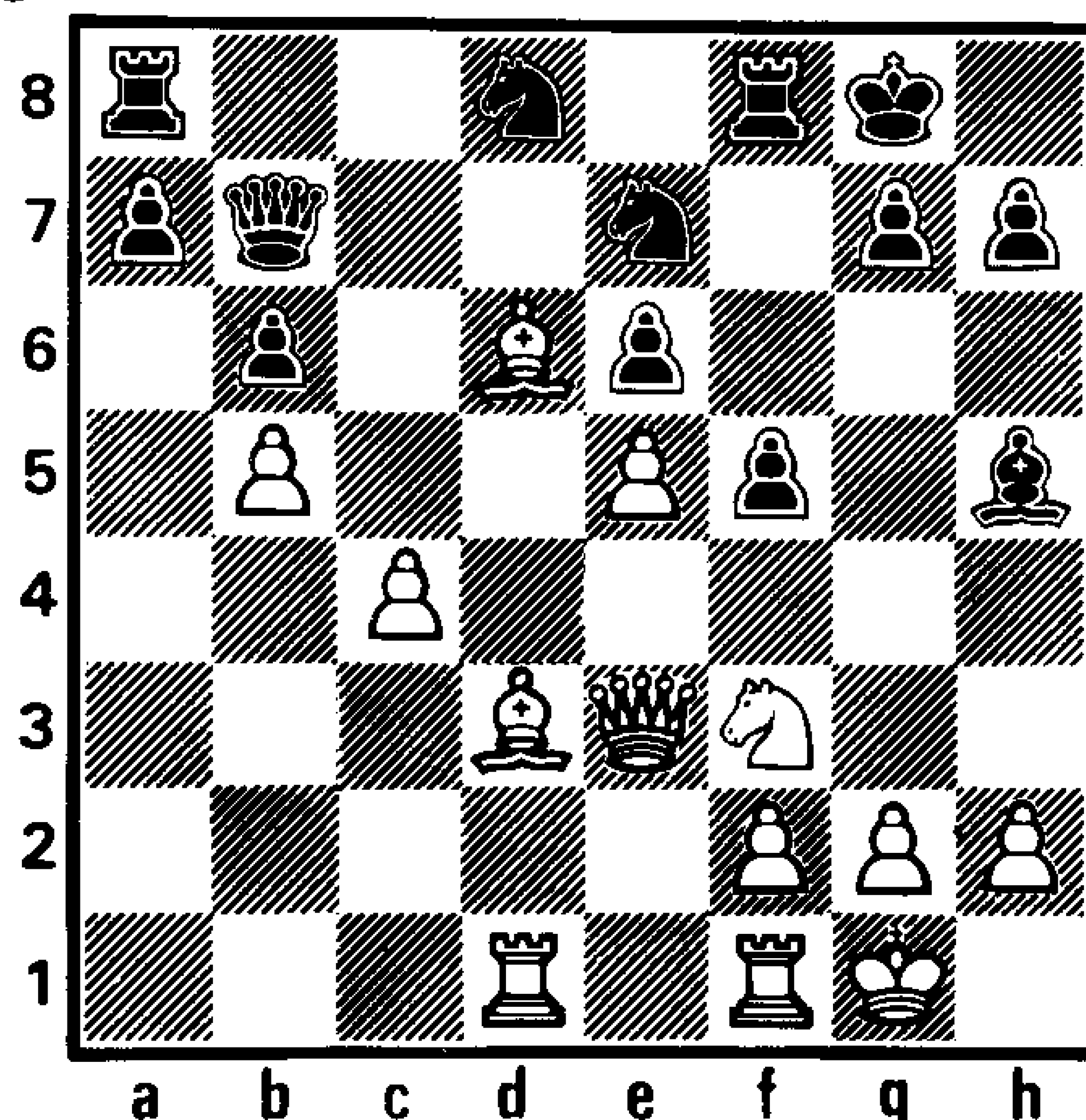
Evaluación de situaciones

El artículo escrito por Shannon proporcionaba un ejemplo simple de función de evaluación aplicable a las situaciones estáticas. No sorprenderá al lector que se haya otorgado una mayor importancia al equilibrio material y que el valor relativo atribuido a las piezas fuera: 200, 9, 5, 3 y 1 para el rey, la reina, la torre, el alfil o el caballo, y el peón, respectivamente. La evaluación posicional entonces se definía mediante penalizaciones (= -1/2) de los peones aislados, situados en la parte posterior o «doblados», y recompensando la movilidad sumando 1/10 (al valor de la evaluación final) por cada movimiento lícito. Shannon igualmente sugirió la inclusión en la función de evaluación, características suplementarias tales como el dominio del centro, hileras abiertas o semi-abiertas, peones avanzados, colocación de los peones en torno al rey, y así sucesivamente. Es importante llegar a una ponderación precisa de los diversos factores de la función de evaluación, y de hecho este es uno de los problemas que mayores dificultades presenta a los programadores de ajedrez. En particular, los primeros programas mostraban la erróena tendencia de sacar la reina demasiado pronto en la partida, ya que ello aumentaba sensiblemente sus características de movilidad. Sin embargo, esta es una mala estrategia que cualquier debutante corregiría rápidamente.

El problema de la escritura de una función de evaluación eficaz se complica si tenemos en cuenta que la importancia de ciertas características de posición evoluciona en el transcurso de la partida. Otro problema particularmente agudo aparece cuando se intenta definir la estabilidad de una situación «final», es decir, si ésta es estable o bien se encuentra en realidad a medio camino de una serie de movimientos. Frecuentemente, la mayoría de los programas intentan resolver este problema efectuando una búsqueda complementaria para todos aquellos casos en los que se produce un jaque o una captura, hasta agotar exhaustivamente las posibilidades. Sin embargo, este procedimiento no tiene nada de «inteligente», ya que no examina las maniobras estrictas de posición que un buen jugador humano investigaría en la evaluación de su situación. Por ejemplo, la característica más significativa de la situación descrita en la figura 3 es el «agujero» representado por c6 en la posición de las negras, con lo que las blancas podrían tomar el control de la partida poniendo en acción a su caballo situado en f3. Es verdaderamente importante para las negras evitar que esto suceda, por lo que reaccionan con: Ah5 × f3. Sin embargo, resulta muy difícil para los programas de ajedrez percibir este tipo de peligros.

Otro problema legado a las funciones de evaluación, viene representado por el «diccionario de aperturas» que incluyen actualmente la mayoría de los programas de ajedrez (es decir, listas de variantes de apertura clásicas). Los citados diccionarios tiene la finalidad de hacer que el programa alcance sin dificultad una posición razonable después de la etapa de apertura. Desgraciadamente, y a causa de la falta de tacto de la función de evaluación aparece un nuevo problema generado por el brutal cambio de estrategia, ya que el programa una vez terminado el proceso de apertura comienza a «razonar» de una forma totalmente diferente a como lo había hecho en un principio, puesto que las aperturas grabadas en su memoria en su mayor parte están compuestas por jugadas famosas de maestros internacionales y como es lógico el programa es incapaz de mantener esta tónica para el resto de la partida. En resumen, se desperdician un valioso número de movimientos hasta colocar las piezas donde la función de evaluación estima que deberían estar.

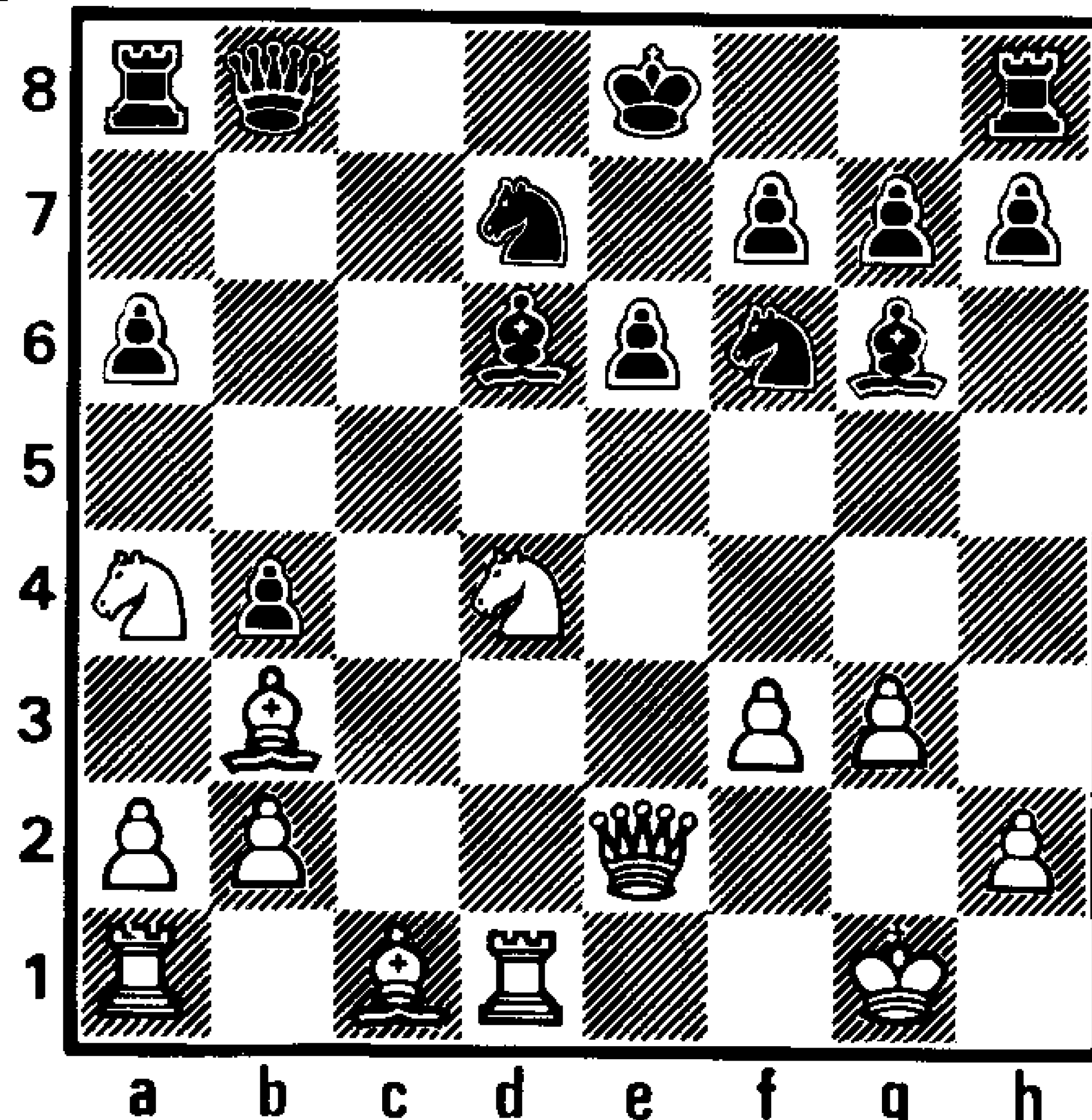
3



¿Programas de ajedrez materialistas?

Un fallo típico de la mayoría de los programas es excesivo materialismo (¡incluso los programas rusos sucumben a este vicio tan capitalista!), lo cual se manifiesta al comprobar su poca inclinación a sacrificar un peón o incluso otra pieza con la finalidad de conseguir una posición ventajosa menos tangible (jugadas de «calidad»). Sin embargo, una excepción sorprendente a esta regla, se produjo en el transcurso del primer campeonato del mundo de ajedrez entre ordenadores, organizado en Estocolmo (1974). El favorito era un programa procedente de América del Norte denominado Chess 4.0, escrito por tres antiguos alumnos de la Universidad de Northwestern: Larry Atkin, Keith Gorlen y David Slate. Durante el desarrollo del segundo encuentro, Chess 4.0, hasta el momento invicto, se encontraba en la situación de la figura 4 (con las negras) frente a otro programa norteamericano, el CHAOS. Las negras habían avanzado un peón, después de haber devorado con avidez el peón de rey de las blancas, sin embargo su desarrollo no estaba demasiado adelantado, de hecho todavía no se habían enrocado. Las blancas sorprenden con el sacrificio de una pieza decisiva. Lo extraño de esta proposición, es que la decisión final únicamente podía estar basada en la simple evaluación posicional de la posición final, ya que el programa no podía estar completamente seguro (puesto que no había podido llegar tan lejos en el análisis) de que esta solución le permitiría más que recuperar su inversión.

4



16. Cd4 x e6! ...

Los expertos han afirmado que se trata del mejor movimiento jamás jugado por un ordenador.

16.	*...*	*f7 x e6*
17.	*De2 x e6!*	*Ad6 - e7*
18.	*Td1 - e1*	*Db8 - d8*
19.	*Fc1 - f4*	*...*

La amenaza está constituida por: Af4-c7

19.	*...*	*Re8 - f8*
20.	*Ta1 - d1*	*Ta8 - a7*
21.	*Td1 - c1*	*Cf6 - g8*
22.	*Tc1 - d1*	*a6 - a5*

Las negras no tienen ninguna buena respuesta, y las blancas bloquean en esta posición.

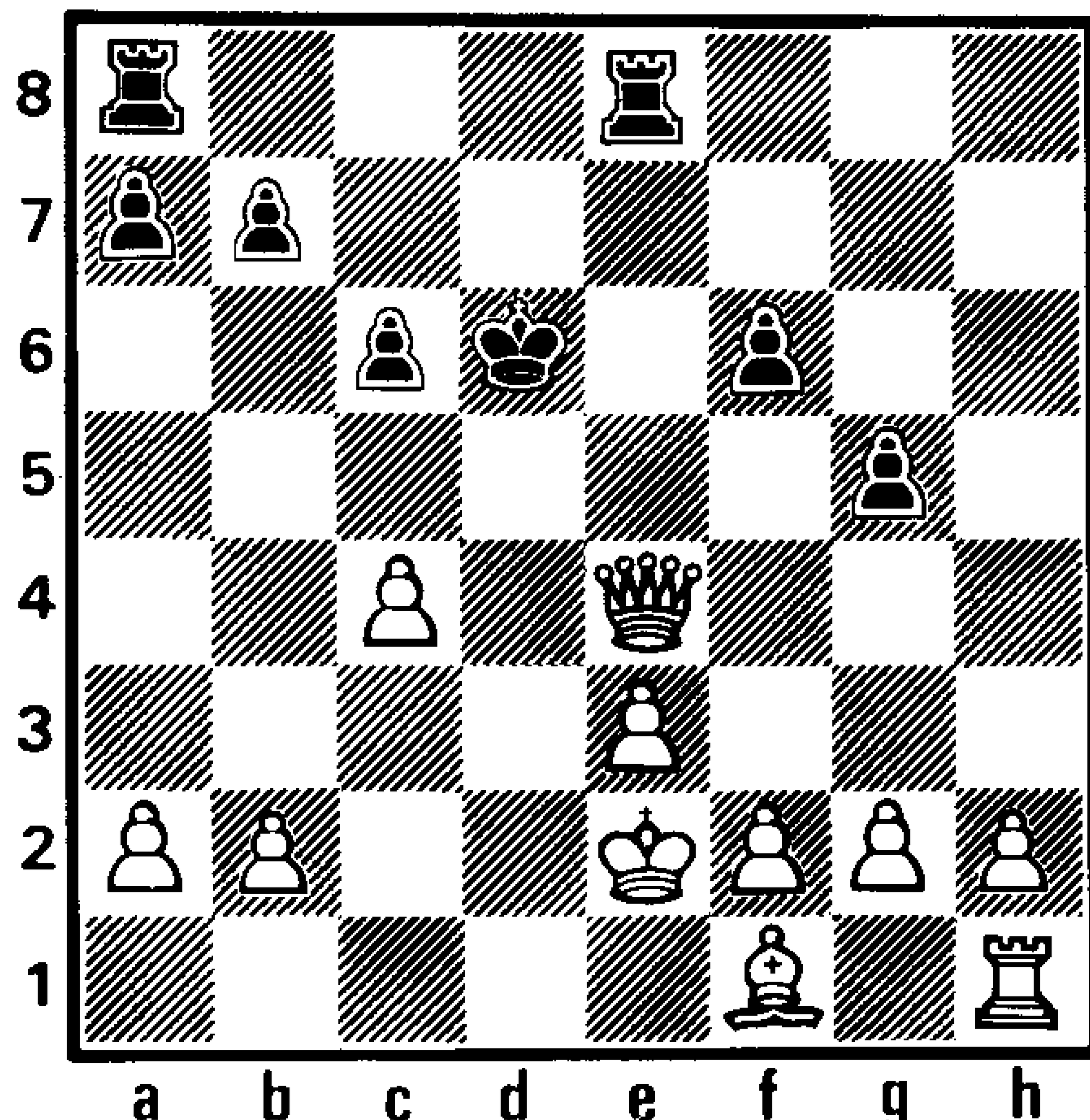
23.	*Af4 - d6*	*Ae7 x d6*
24.	*De6 x d6 +*	*Cg8 - e7*
25.	*Ca4 - c5*	*Fg6 - f5*
26.	*g3 - g4*	*Dd8 - e8*
27.	*Fb3 - a4*	*b4 - b3*
28.	*g4 x f5*	

Finalmente, las blancas obtienen el mate tras 47 movimientos adicionales.

El efecto de horizonte

La elección de una profundidad de análisis adecuada presenta igualmente numerosos problemas cuando se evalúa una situación detalladamente sobre el árbol de juego. Un ejemplo particularmente notorio de este tipo de problemas, que fácilmente puede afectar a un programa enfrentado a la elección entre dos situaciones igualmente prometedoras, tuvo lugar en el transcurso de una partida (ahora célebre) entre los programas denominados COKO y GENIE, durante el segundo torneo ACM de 1971.
Tras los primeros 27 movimientos, COKO (jugando con las blancas) había obtenido la configuración siguiente:

5



COKO reflexiona durante 120 segundos, y a continuación ofrece un peón para poder atraer al rey negro hacia el centro:

28. c4 - c5 + Rd6 x c5?

¡Demasiado comilón!. COKO, habiendo previsto los 8 movimientos 1/2 siguientes, juega:

29. De4 - d4 + ...

Y anuncia mate en 8 jugadas

29.	*...*	*Rc5 - b5*
30.	*Re2 - d1 +*	*Rb5 - a5*
31.	*b2 - b4 +*	*Ra5 - a4*
32.	*Dd4 - c3*	*Te8 - d8 +*
33.	*Rd1 - c2*	*Td8 - d2 +*
34.	*Rc2 x d2*	*Ta8 - d8 +*
35.	*Rd2 - c2*	*Td8 - d2 +*

Los 4 últimos movimientos de las negras consituyen un ejemplo clásico de una debilidad típica de los ordenadores, conocida como «efecto de horizonte». Puesto que la función de evaluación del programa estima que dicha situación (el jaque mate) es más importante que cualquier otra eventualidad que pueda tener lugar en el transcurso de dichas jugadas, el ordenador adopta una actitud netamente defensiva en la que, poniéndolo en términos humanos, permite todo tipo de abusos contra su integridad de la forma más desesperante que pueda imaginarse. El programa intentará retrasar el momento «fatídico», sacrificando todas las piezas a su alcance para posponer el jaque mate más allá del horizonte de sus predicciones. El criterio seguido por el programa podría incluirse muy acertadamente en las reacciones de tipo anomal: vale más la pérdida de 2 torres que un mate seguro (aunque esta actitud lo único que consigue es retrasar el desenlace final).
El efecto de horizonte es un problema excesivamente difícil de resolver que se presenta sin excepción en todos los programas de ajedrez, y especialmente en aquéllos que emplean un sistema de previsiones a corto plazo. Toda combinación o maniobra que esté más allá del alcance de las previsiones del programa será olímpicamente ignorada por el ordenador.
No obstante, puede ser que por una vez el programa supiera lo que se estaba haciendo, ya que los movimientos siguientes fueron:

36. Dc3 x d2 Ra4 - a3

¡Se dispone a capturar los peones!

37. Dd2 - c3 + Ra3 x a2

Las blancas tienen ahora la elección entre dos mates con un solo movimiento (Afl-c4, y Dc3-b2) y un gran número de mates en 2, 3, 4 movimientos o más. Desafortunadamente, COKO parece incapaz de distinguir los valores de tan gran cantidad de posibilidades, y hace una elección aleatoria de uno de los caminos que le conduce al mate:

38. Rc2 - c1 ...

No pudiendo hacer otra cosa mejor, las negras juegan:

38.	*...*	*f6 - f5*
39.	*Rc1 - c2*	*f5 - f4*
40.	*Rc2 - c1*	*g5 - g4*
41.	*Rc1 - c2*	*f4 - f3*
42.	*Rc2 - c1*	*f3 x g2*
43.	*Rc1 - c2*	*...*

Se puede imaginar la angustia de los programadores de COKO

43. ... g2 x h1 = D

Esta es la última oportunidad de COKO; ¿sabría aprovecharla?

44. Rc2 - c1 ...

No, no supo, por lo que GENIE reacciona con

44. ... Dh1 x f1 +

De forma que las blancas comienzan a desunirse. Los infortunados maestros de COKO no pudiendo aguantar más, abandonan con resignación la partida.

Reducción del árbol de juego

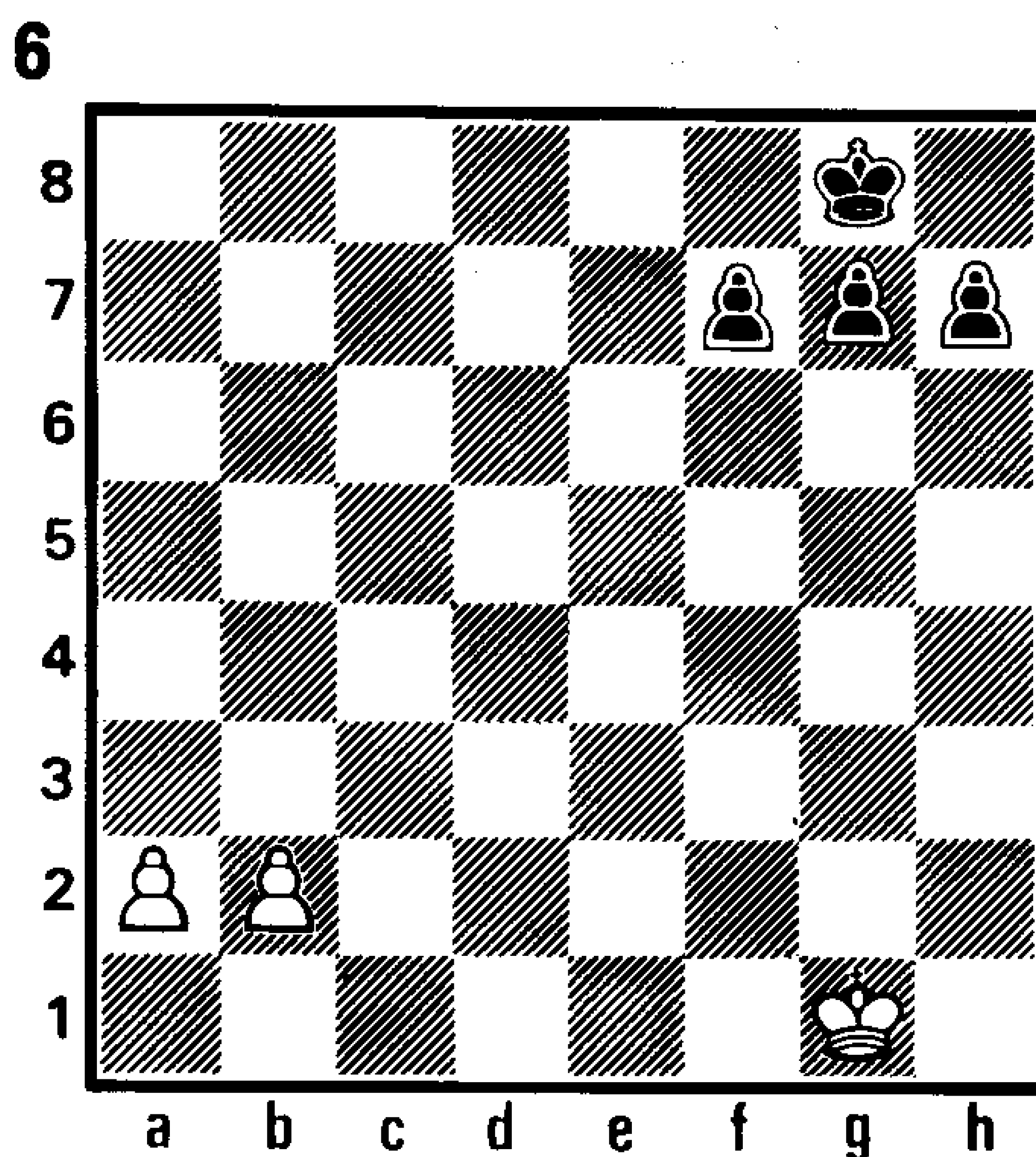
Como ya se ha visto, una estrategia que implique una búsqueda exhaustiva engendra rápidamente un gran número de situaciones finales, aunque la profundidad se reduzca a tan sólo algunos movimientos. Sin embargo, en 1958 tres investigadores del Instituto de Tecnología Carnegie: Alan Newell, John Shaw y Herbert Simon publicaron un artículo en el que se demostraba la posibilidad de reducir notablemente el número de situaciones finales que era preciso evaluar, mediante la utilización de un algoritmo relativamente simple. Para comprender este principio consideremos el árbol de juego simplificado de la figura 2. Si proponemos una función de evaluación simplista, expresada en términos de equilibrio de fuerza, movilidad (+0,1 para cada movimiento lícito), dominio del centro del tablero (+0,2 para cada una de las casillas centrales atacadas, es decir e4, d4, e5, d5), y protección del rey (definida por el número de movimientos necesarios antes de enrocarse: +0,5 puntos por cada movimiento), obtenemos como resultado los valores indicados. Para seleccionar un movimiento, el programa comienza por examinar las situaciones finales 5 y 6, a continuación como vimos anteriormente, éste se reserva el menor valor obtenido que envía hacia el nudo 4 (o sea + 0,1). Se podría entonces evaluar las dos situaciones que se desarrollan a partir del nudo 7, y conservar el mejor de los valores obtenidos para éste (-0,5). No obstante, como el programa va a buscar un máximo en el nudo 3 (es el turno de las blancas), sabemos que el mejor valor conservado para este último no será nunca inferior a +0,1, ya que el programa elegirá el camino que le condujese al nudo 4. Así, después de haber encontrado el valor para el nudo 8 (-0,2) el programa puede llegar a la conclusión de que no resulta adecuada (ni interesante) la evaluación del nudo 9. En efecto, la evaluación del nudo 8 es ya inferior que la obtenida en el nudo 4. Se puede aplicar este mismo razonamiento para todo el árbol de juego, lo cual supondría una reducción sustancial del número de nudos que se han de evaluar. Para alcanzar el máximo de ventajas ofrecidas por este proceso es importante que el programa examine con anterioridad los movimientos más acertados. Una gran cantidad de movimientos muestran su ineficacia o incluso el perjuicio que podrían causar de forma clara y evidente (por ejemplo, la pérdida de una reina). Por tanto, si se comianza por preparar y evaluar la captura de la reina, se podrá reducir sensiblemente el número de nudos que se deberán analizar.
Todos los programas contienen numerosas «heurísticas» (reglas prácticas) cuya información permite al ordenador elegir el tipo de movimiento a examinar en primer lugar. Una heurística corriente implica la necesidad de que el programa conserve en memoria los movimientos (ya rechazados) evaluados como ineficaces o incluso perjudiciales en situaciones anteriores del árbol de juego, y verifique si son todavía peligrosos. Desgraciadamente, uno de los efectos de las

heurísticas para la captura de piezas es que transforman a los programas en ávidos intercambiadores de piezas. Numerosos programas desperdician una ventaja al permitir a su adversario liberarse de una trampa mediante un intercambio de piezas.
En los últimos años se han desarrollado numerosas técnicas complementarias que permiten acelerar la búsqueda en el árbol de juego, haciéndose posible la investigación de casi todas las posibilidades de juego. A pesar de todo en la estrategia de tipo A persiste un problema: el programa efectúa investigaciones a ciegas, basadas en ensayos sistemáticos, engendrando y evaluando un considerable número de situaciones totalmente irreales.
El ordenador no es capaz de formular ningún tipo de plan, ni por supuesto de reconocer la estrategia de su adversario.
Estos condicionamientos hicieron de los primeros programas que aparecieron en el mercado unos jugadores realmente desastrosos en los finales de partida, siendo a menudo incapaces de ganar en situaciones tan elementales como rey y reina, o rey y torre contra rey.
Desafortunadamente, sus adversarios humanos ignoran frecuentemente esta particularidad y, ¡abandonan prematuramente la partida!.

Como (no) jugar el final de una partida

La mayor parte de las funciones de evaluación se adaptan perfectamente a las aperturas y al transcurso intermedio de las partidas (tales como los desarrollos, dominio del centro, etc.), mientras que el juego típico del final de una partida exige la capacidad de percibir el proceso característico (en cada caso diferente) que conducirá a la victoria. Dicho proceso tarda frecuentemente 20 o 30 movimientos en hacer efecto, lo cual sobrepasa las posibilidades del programa en lo que concierne al análisis completo de todas las posibilidades, es decir, aunque la partida se encuentre en su fase final el ordenador jugará como si se tratara de cualquier otra fase de la partida. Para el jugador humano esto no representa ninguna dificultad, ya que se trata de una simple cuestión de puesta en práctica de una idea, o de conducir una pieza hasta cierta casilla específica, etc. El ordenador en el estricto sentido de la palabra no genera ideas propias, por lo cual el único proceso viable que le queda es examinar cientos de miles de jugadas que, en principio, ¡y por desgracia!, le resultan totalmente idénticas.
En la figura 6 se muestra un ejemplo corrientemente citado para poner de manifiesto la incapacidad de los programas para tomar conciencia de una situación extraordinaria (un final de partida, o un tipo cualquiera de estrategia humana). Esto se debe obviamente a las limitaciones de la capacidad de previsión impuestas por el propio sistema.
Cualquier principiante ante esta elemental situación, reconocería inmediatamente que el rey negro está colocado demasiado lejos como para impedir que el peón de la torre blanca consiga la reina.

6



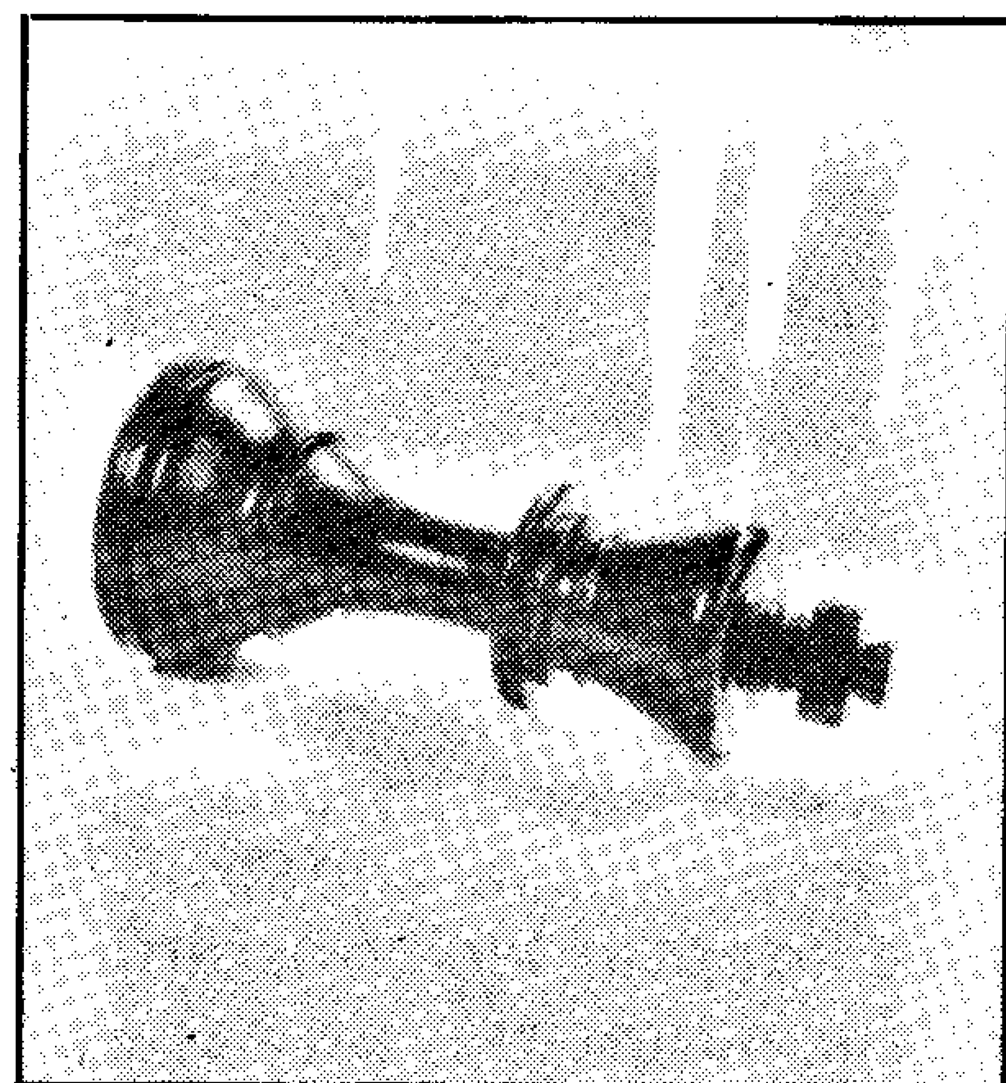
Desafortunadamente, si las previsiones del programa alcanzan menos de 9 movimientos, será incapaz de apreciar el matiz, de modo que basando su evaluación en la desigualdad de fuerzas en liza, éste sacará como conclusión que las negras están en posición ventajosa (!). Incluso con un análisis de 9 movimientos el programa efectuará la secuencia siguiente:

1. a2 - a4, h7 - h5 2. a4 - a5, h5 - h4
3. a5 - a6, h4 - h3 4. a6 - a7, h3 - h2 +
5. Rg1 x h2

sacrificando el peón h, las negras han acertado a promocionar el peón blanco más allá del horizonte del programa. Sin embargo, las blancas escogieron a pesar de todo esta línea de conducta, ya que ello le permitía ganar un peón. La incapacidad del programa para establecer un plan meditado con anterioridad constituye una de las debilidades más penosas.
Es casi seguro que para poder jugar los finales de partida haya que encontrar un sistema más perfeccionado. En este sentido se están realizando en Rusia trabajos muy prometedores, para poder escribir programas que solucionen algunos tipos particulares de finales de partida. David Levyn apostó una caja de güiski a que los programadores de Kaisaa serían incapaces de escribir un programa antes de 1975, que supiera jugar correctamente (desde ambos lados) el final de partida, rey, torre y peón contra rey y torre. La apuesta le costó perder una caja del mejor escocés.

¿Qué nos reserva el futuro?

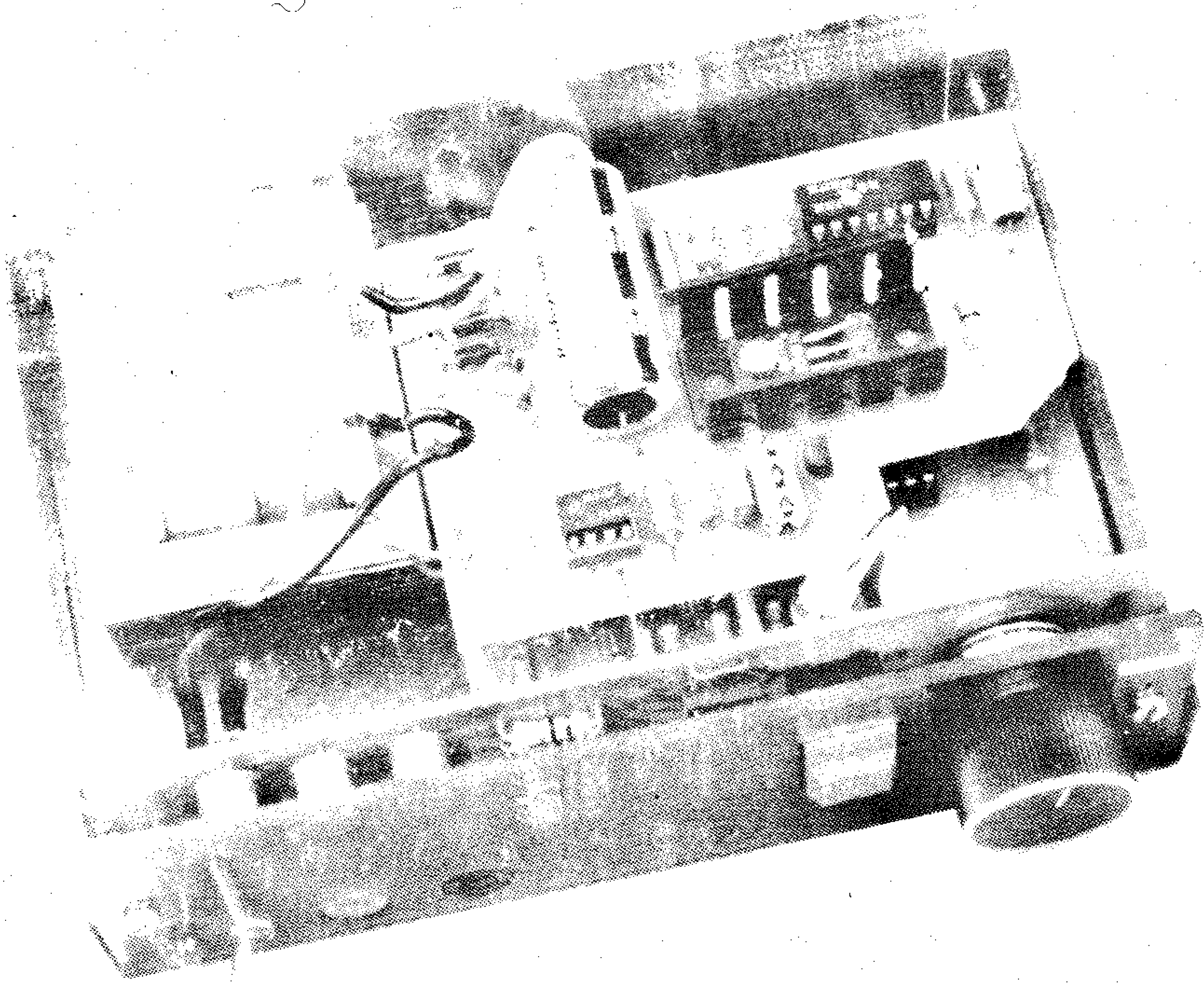
A pesar de lós problemas inherentes al empleo de la estrategia de tipo A creada por Shannon, es innegable que los programas que utilizaban esta técnica han hecho notables progresos durante estos últimos años, mientras que las soluciones encontradas para el desarrollo de un buen generador de movimientos acertados han sido en su mayor parte inviables. En particular Chess 4.7, el mejor ejemplo de estrategia de tipo A, está adquieriendo progresivamente un nivel próximo al de «experto» (clasificación establecida por la Federación Ajedrez de USA), y lo que es más espectacular, ha conseguido batir a un campeón internacional en las condiciones de un torneo, así como la victoria sobre un gran campeón como David Levy en una partida abierta.
Sin embargo, estos progresos son debidos en cierta medida, a los avances realizados por la tecnología en materia de ordenadores (más rapidez, más potencia, y a nuevas técnicas de programación, más eficaces, que mejoran las previsiones del programa hasta tal punto que con la fuerza bruta de los análisis exhaustivos de situaciones llegan a suplir su total falta de raciocinio, o inadptación conceptual (desde el punto de vista humano).
A este respecto puede decirse que aún queda la mayor parte del trabajo por realizar, sobre todo lo que concierne a los finales de partida. El punto débil del ordenador sigue siendo el dominio de las situaciones «tranquilas» (sin acción táctica), en las que su única defensa consiste, contrariamente al hombre, en no equivocarse jamás al calcular una línea de comportamiento, y en no olvidar nunca una pieza en peligro, etc. El hombre puede utilizar estos conocimientos en las partidas simples donde fácilmente podrá batir al programa debido a su falta de sentido de situación y de organización a largo plazo. Es evidente que durante la partida contra Chess 4.7, David Levy escogía en general aperturas demasiado neútras, reservando su fuerza para las fases ulteriores de la partida; de alguna manera parece ser que éste fue el error que le condujo a su derrota final. No obstante, es innegable que los ordenadores de ajedrez están alcanzando niveles cada vez más altos, y que los más perfeccionados actualmente serían capaces de batir a la mayor parte de los jugadores, digamos normales, de un club. Es muy difícil de estimar el tiempo necesario para que los ordenadores (es decir, los programas) de ajedrez alcancen el nivel de los campeones mundiales.
La estimación popular sitúa este acontecimientoen los próximos 10 ó 20 años, aunque esto podría resultar totalmente falso (en 1958 Simón preveía que en menos de 10 años el campeón del mundo de ajedrez sería un programa de ordenador). ◀



Bibliografía:
Bell, Alex G., 'The machine plays chess'. Pergamon Press 1978.
Frey, Peter, 'Chess skill in man and machine'. Springer Verlag, New York 1977.
Levy, David, 'Chess and computers'. Batsford chess books, 1976.
Shannon, Claude, 'Programming a computer for playing chess'. Philosophical magazine, vol 41, pp 256-275, March 1950.

digifarad

capacímetro digital



Teniendo en cuenta la gran cantidad de condensadores —en particular los de tipo electrolítico— de elevada tolerancia (un 20 por 100 es un valor muy corriente), resulta conveniente efectuar una medida rápida y precisa de los citados componentes, por ejemplo, para construir un temporizador de precisión, o para adaptar las constantes de tiempo de diferentes redes RC, etc. Normalmente, un capacímetro nos permitirá igualmente medir los valores de aquellos condensadores cuyo valor nominal no esté claramente definido, o incluso de aquéllos que no llevan inscripción alguna (éstos quedan generalmente arrinconados en el cajón de los respuestos). Otra utilidad no menos importante de nuestro capacímetro es la comprobación de los condensadores «sospechosos»; resumiendo, es un complemento de gran utilidad (casi indispensable) en el laboratorio de todo aficionado. El circuito que se describe en este artículo incluye una visualización digital del valor de los condensadores dividida en 5 gamas de medida que cubren desde 1 nF hasta 9 999 microfaradios, con una precisión del 2 por 100 aproximadamente.

Los aparatos de medida con indicación de tipo digital se están haciendo cada vez más populares. Actualmente, tensiones, corrientes, frecuencias, resistencias, y temperaturas se miden mediante aparatos digitales. Podría creerse que este tipo de medidas de alta precisión sólo se realizan en laboratorios y demás círculos profesionales, sin embargo, cada vez con más frecuencia los aficionados a la electrónica están pasando a formar parte de los usuarios que emplean esta nueva modalidad de medida.

Es hora ya de que los entusiastas de la electrónica puedan disfrutar de las ventajas de un medidor de condensadores digital de características casi profesionales, (la única diferencia con éstos, ¡es su precio!), por lo cual Elektor pone a su disposición el Digifarad. En la figura 1 se muestra el esquema sinóptico del medidor de condensadores digital C_x representa la capacidad desconocida. Una presión sobre el pulsador «comienzo» cierra momentáneamente el interruptor electrónico ES, con lo cual C_x se carga a una tensión conocida U_c.

Al abrir ES nuevamente, C_x se descarga mediante un generador de corriente constante (I), de modo que la tensión en bornas de C_x comienza a decrecer siguiendo una función lineal, en la que la velocidad de descarga viene determinada por el valor de C_x. Se aplica la tensión presente en bornas del condensador a la entrada de un comparador «ventana» formado por dos amplificadores operacionales y una báscula del tipo set/reset (puesta a 1/puesta a 0). La salida del comparador será baja siempre que la tensión U_c esté comprendida entre las tensiones de referencia superior e inferior de la «ventana» (U_1 y U_2). En esta situación se activa un contador de 3 cifras que, como su nombre indica, cuenta los impulsos generados por el oscilador de reloj. Si se hace variar el valor I del generador de corriente, se podrá disponer de diferentes gamas de medida, sin modificar para nada el resto del circuito.

En la figura 2 se muestra el esquema completo del digifarad. El generador de corriente constante está formado por el amplificador operacional. A1 y el transistor T1. El valor de la corriente producida por dicho generador viene determinada por la posición del selector de gamas S1 (ver tabla 1). El amplificador operacional hace variar la corriente que atraviesa T1 y la resistencia de la gama seleccionada, de forma que la tensión en la entrada inversora de A1 sea siempre igual a la tensión de referencia (fija) presente en la entrada no inversora. El interruptor electrónico ES, está compuesto por el transistor T2, y se activa mediante el interruptor de «comienzo» (S2) y la báscula N3/N4.

La tensión en bornas del condensador C_x se amplifica mediante el operacional A2, y después se aplica a la entrada del comparador «ventana» formado por A3 y A4. N1, N2, C1, C2, R18 y R19 forman la báscula de tipo set/reset que recibe los impulsos de disparo procedentes del comparador «ventana». Cuando C_x está completamente cargado, las dos salidas de A3 y A4 se encuentran a nivel alto. Ahora bien, cuando la tensión de C_x alcanza el umbral superior de la ventana (es decir, cuando la tensión en la entrada no inversora de A2 se hace inferior a la de la entrada inversora), la salida

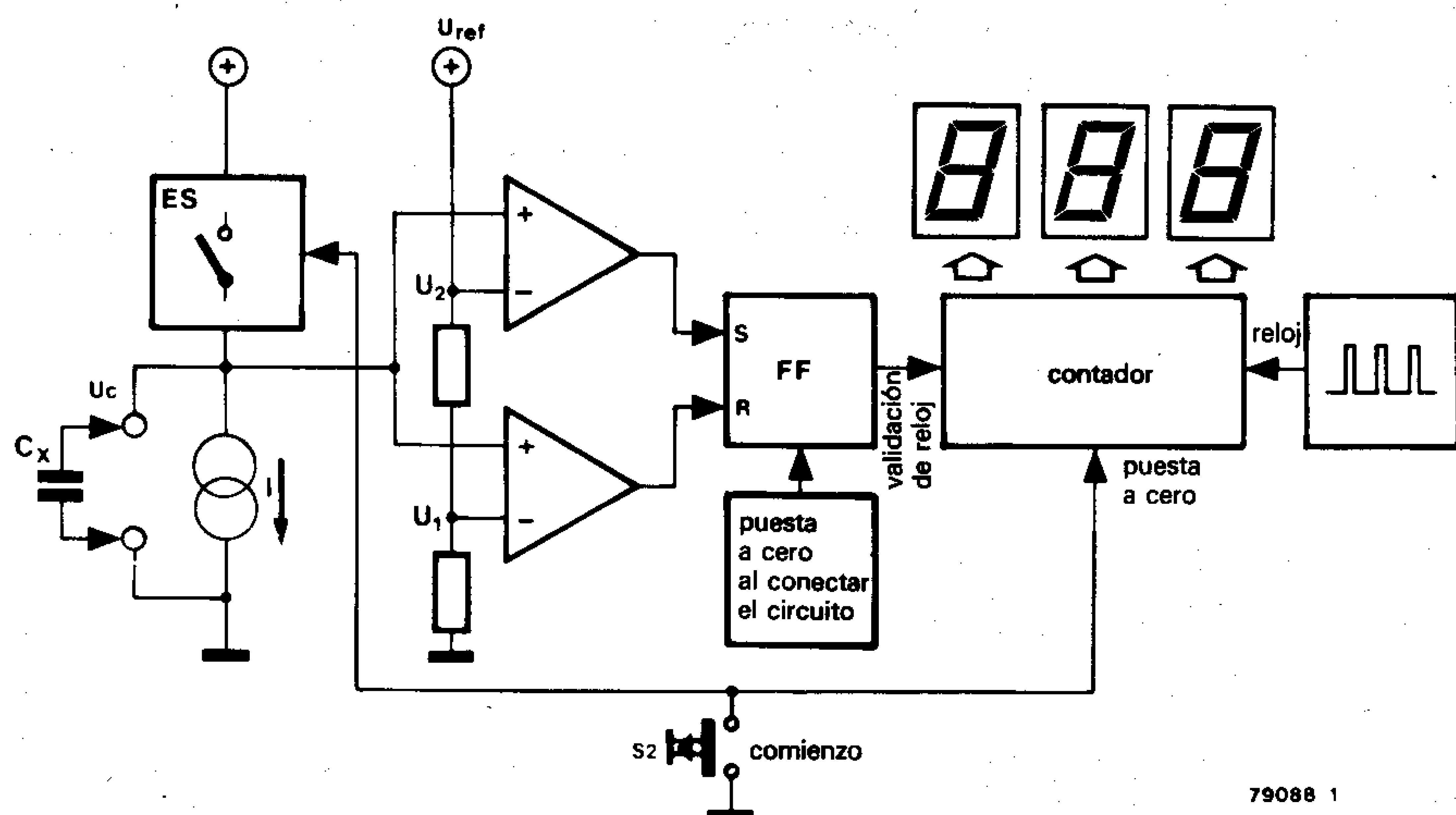


Figura 1. Esquema sinóptico del capacímetro digital C_x (condensador desconocido) se descarga mediante un generador de corriente constante. Cuanto mayor sea el tiempo de descarga, mayor será el número de impulsos acumulados por el contador.

de A2 se hace baja, con lo que la salida de N2 pasa igualmente a nivel bajo (se activa el contador). En esta situación el condensador desconocido comienza a descargarse, hasta que la tensión de C_x alcanza el umbral inferior de la ventana, con lo que la salida de A4 pasa a nivel bajo, N2 a nivel alto, y el contador se detiene.
Además de hacer conducir a T2, la segunda báscula (N3/N4), proporciona las señales de puesta a cero (reset) y de validación del contador (set). Para obtener una lectura estable, el circuito inhibe el visualizador durante un ciclo de cuenta. R18, R20, R21, C3 y los dos diodos (D1 y D2) garantizan que las dos básculas estén en el estado correcto al aplicar tensión al circuito.
La señal de reloj para el contador se obtiene de un 555 (IC3) conectado como multivibrador astable. IC6 incluye en un solo chip un contador, una memoria intermedia (latch) y un decodificador excitador para visualizadores de 7 segmentos, que ataca directamente a DP1...DP3. Estos visualizadores son de cátodo común (por ejemplo, HP 5082-7760, DL 704, etc.).
El circuito únicamente requiere el ajuste de P1. Para efectuar dicha calibración se utilizará un condensador de tolerancia reducida y valor conocido (por ejemplo, los condensadores de mica plateada cuya tolerancia típica es del 1 por 100). El proceso de calibración es sencillo; se conectará el condensador patrón en los terminales de medida del capacímetro, y se ajustará P1 hasta obtener en el visualizador el valor marcado en el condensador (obviamente el selector de gamas deberá estar en la posición adecuada).
En total son necesarias cuatro tensiones: la tensión de referencia Uref y las tensiones de alimentación, 16V, 12V y 5V. Los 12V se obtienen a partir de un regulador de tres patillas (IC5), mientras que las demás tensiones se obtienen a partir de un circuito básico formado en torno a un 723.

Construcción

Elektor pone a disposición de aquellos lectores que lo deseen las tres placas de circuito impreso necesarias para realizar el Digifarad. La placa correspondiente al visualizador (figura 4c) se montará detrás del panel frontal, mientras que las otras dos (figuras 4a y 4b) se montarán juntas, usando separadores, y se colocarán detrás del visualizador.
En la placa del visualizador se colocan, además de los visualizadores, las resistencias R31... R37, los interruptores S1, S2 y S3 y el circuito integrado IC6, así como el diodo indicador D8 y dos conectores para el condensador desconocido C_x. Las interconexiones entre las distintas placas se indican mediante flechas triangulares.

2

IC1 = A1 . . . A4 = 324
IC2 = N1 . . . N4 = 4011
IC3 = 555
IC4 = 723
IC5 = 78L12
IC6 = 74C928

DP1 ... DP3 = hp 5082-7760 cátodo común

79088 2

Figura 2. Esquema completo del capacímetro digital. Los visualizadores son del tipo cátodo común.

3

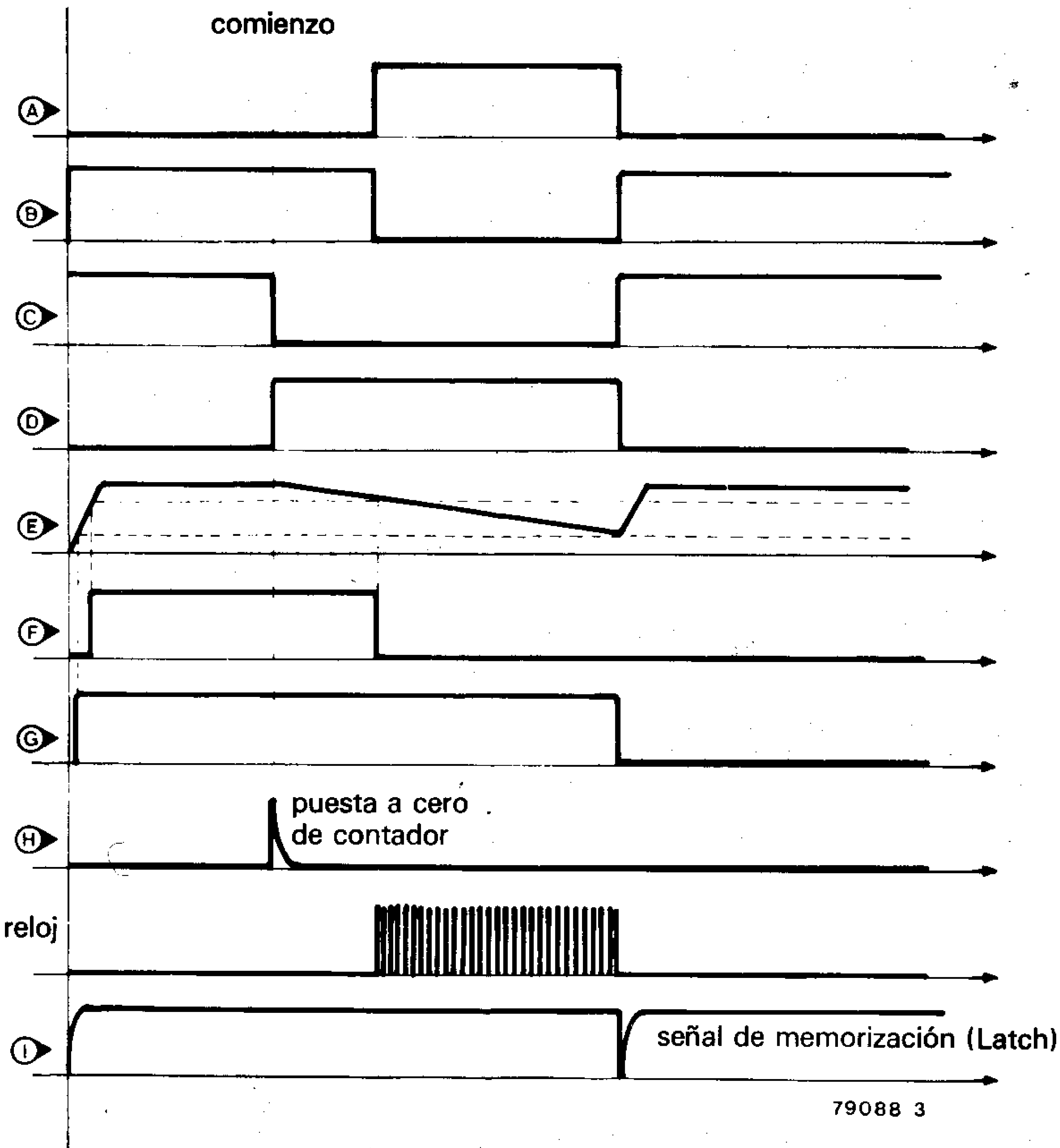
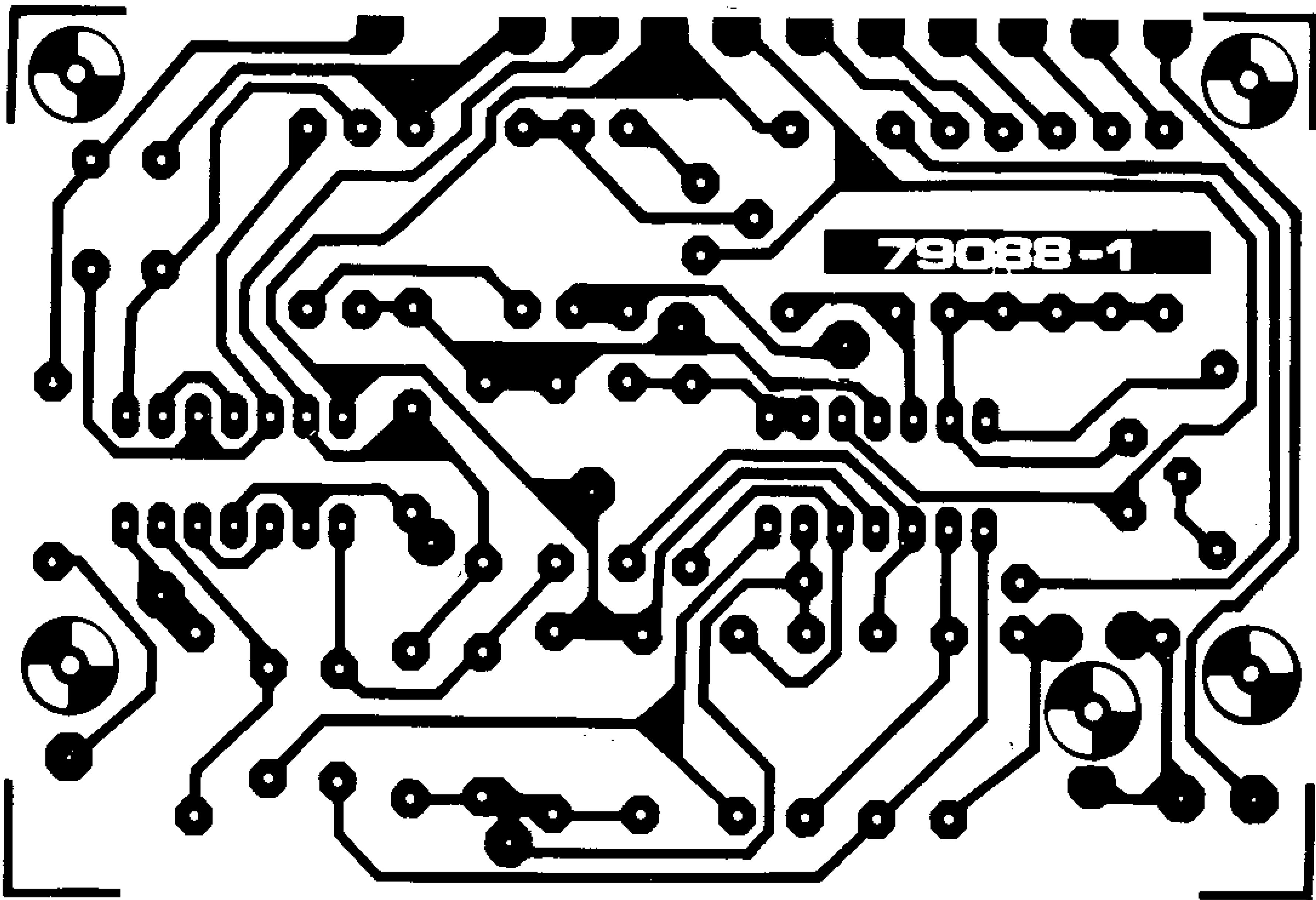
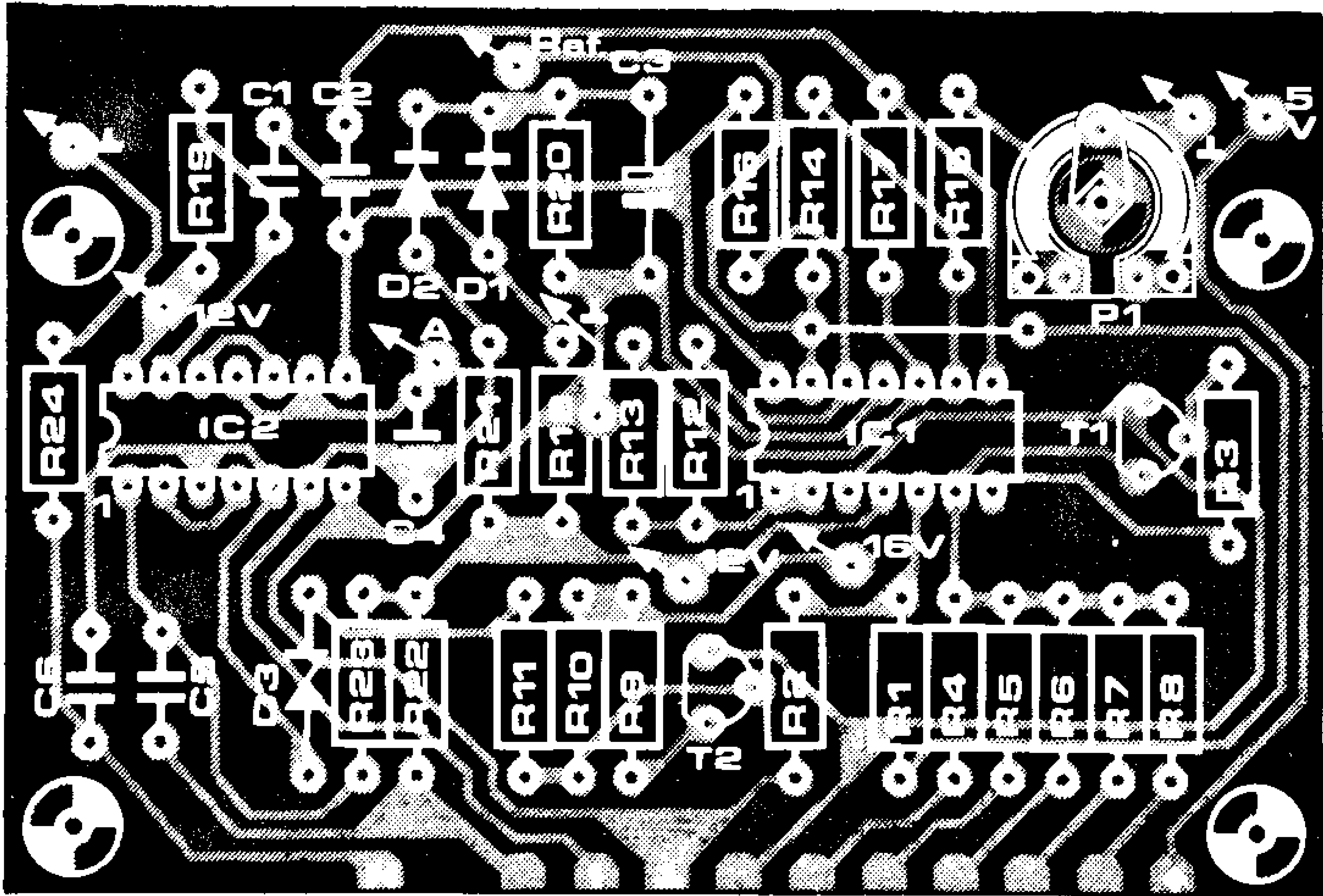


Figura 3. Diagrama de la forma de onda medidas en diferentes puntos del circuito. Las curvas A...I representan las tensiones marcadas con la letra correspondiente en la figura 2.

4a





Lista de componentes:

Resistencias:

R1 = 56 k
R2 = 68 k
R3,R11,R21,R23,R28 = 4k7
R4 = 390 Ω
R5 = 3k9
R6 = 39 k
R7 = 390 k
R8 = 3M9
R9 = 100 Ω
R10,R15,R24 = 47 k
R12,R13,R14 = 10 k
R16,R17,R22 = 1 M
R18,R19,R20 = 100 k
R25,R26 = 470 k
R27 = 2k2
R29 = 56 Ω
R30 = 0.56 Ω
R31 . . . R37 = 10 Ω ver texto
R38 = 22 k
R39 = 270
P1 = 47 k ajustable

Condensadores:

C1,C2,C4 = 2n2
C3,C11 = 1 μ/16 V
C5,C6,C7,C13 = 1 n
C8 = 100 n
C9 = 1000 μ/25 V
C10 = 10 μ/16 V
C12 = 10 μ/6 V

Semiconductores:

IC1 = LM 324
IC2 = 4011
IC3 = 555
IC4 = 723 (DIL)
IC5 = 78L12
IC6 = 74C928
T1 = BC 109C, BC 549C, o equ.
T2 = BC 161-16
T3 = BD 140 con refrigerador
T4,T5,T6 = BC 141
D1,D2 = DUS
D3 = zener 6V8/400 mW
D4 . . . D7 = 1N4004
D8 = LED
DP1 . . . DP3 = visualizadores de 7 segmentos HP 5082-7760 o equivalente

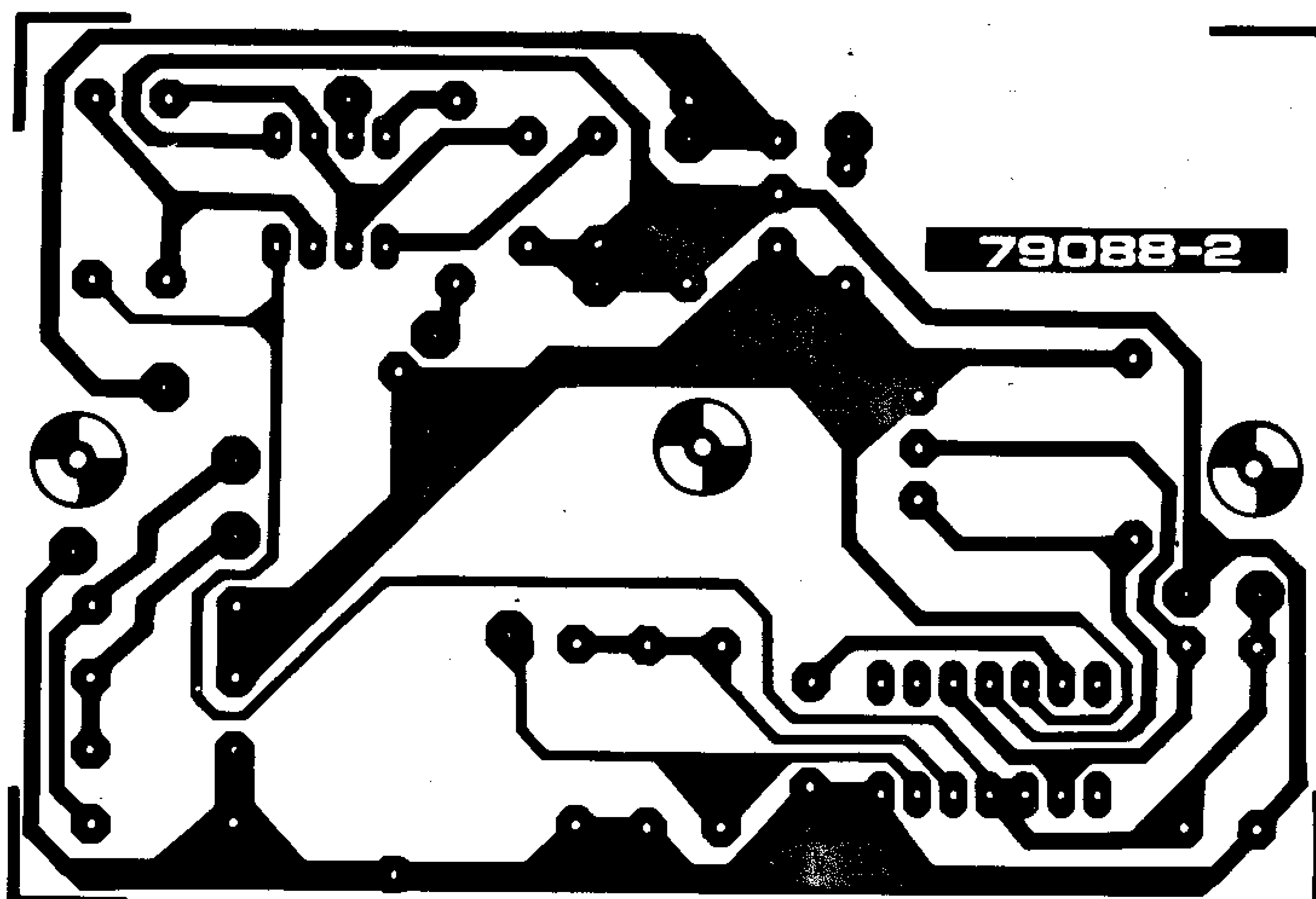
Varios:

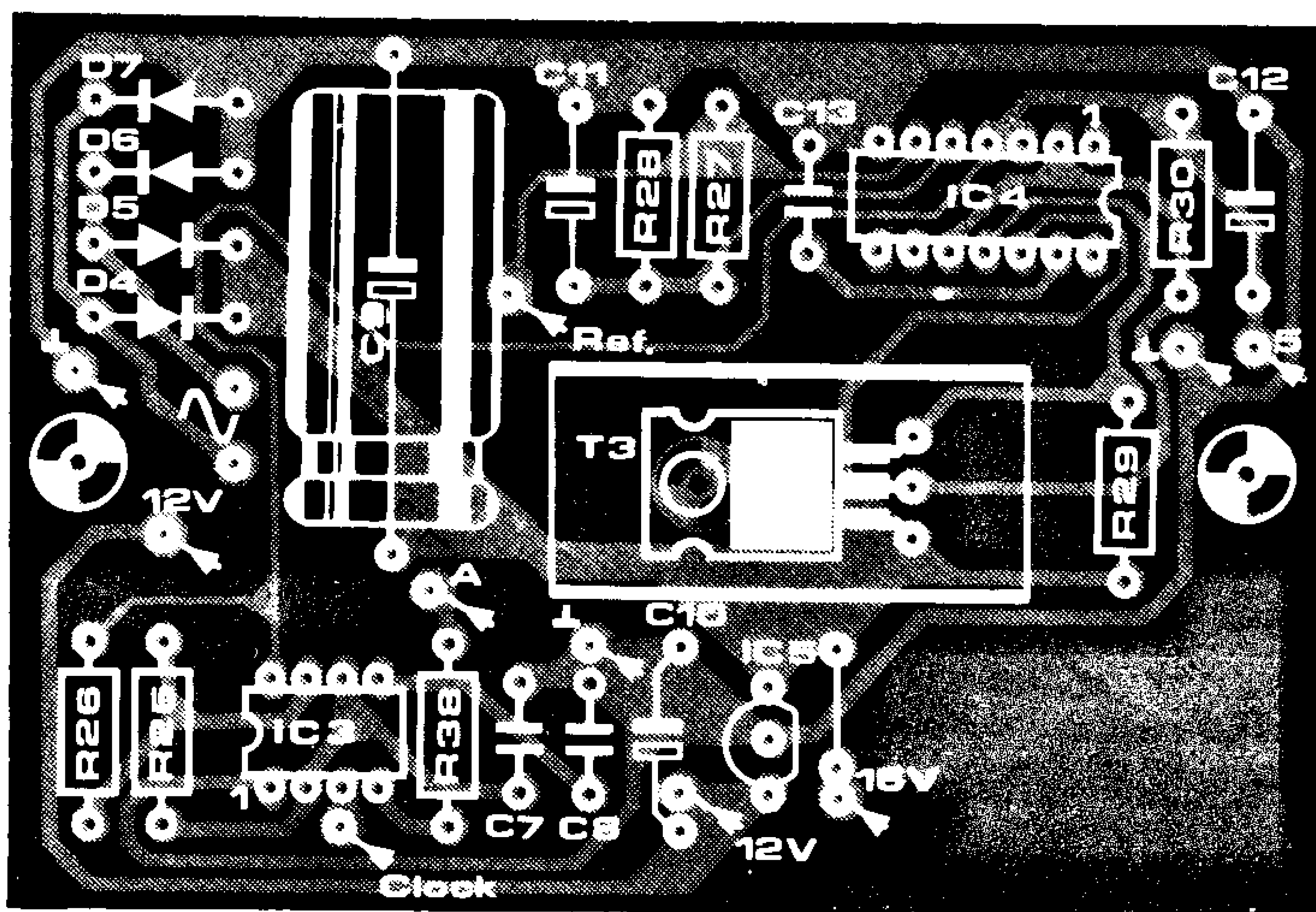
S1 = conmutador de 5 posiciones
S2 = pulsador
S3 = interruptor de dos circuitos
Tr = transformador de 12V/1A (ver texto)
500 mA fusible

Tabla 1

posición de S1	medida corriente	medida escala	factor de multiplicación de la escala
1	1 μA	999 nF	1 nF
2	10 μA	9.99 μF	0.01 μF
3	100 μA	99.9 μA	0.1 μF
4	1 mA	999 μA	1 μF
5	10 mA	9.99 mF	10 μF

4b

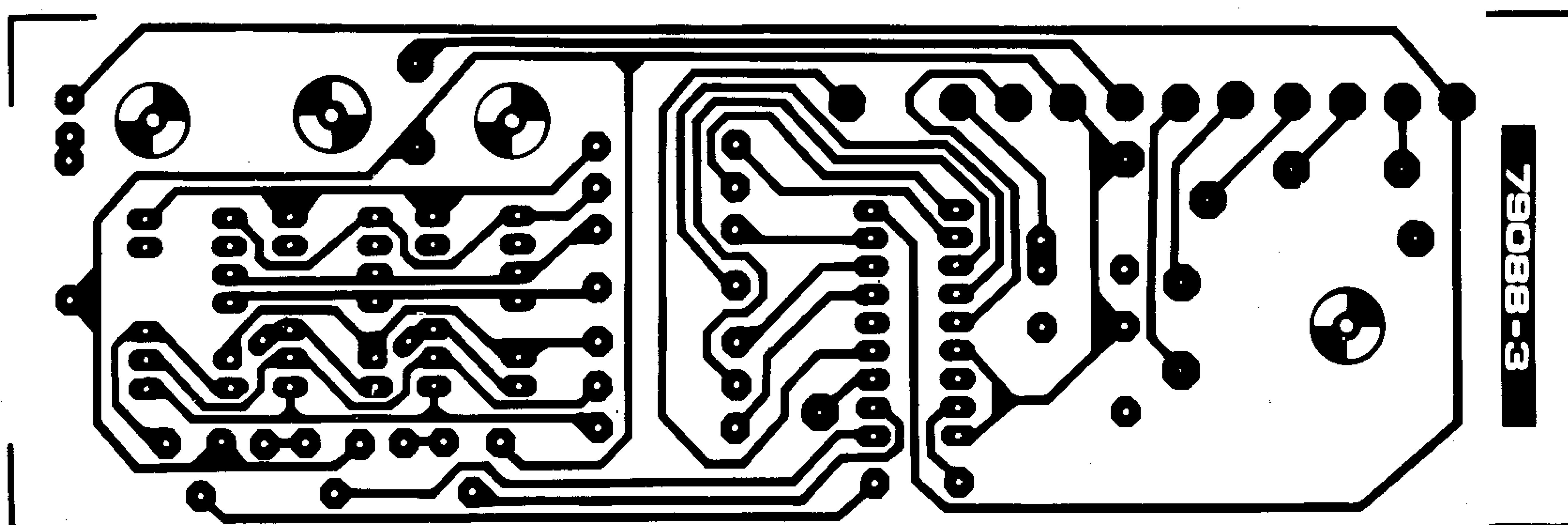




Notas finales

Este capacímetro es muy fácil de usar. Una vez puesto en funcionamiento mediante S3, se selecciona la escala deseada con S1, se conecta el condensador cuya capacidad quiere determinarse y se pulsa S2. Casi inmediatamente aparece el resultado en el visualizador. En la tabla 1 se dan los diversos márgenes de medida, siendo I la intensidad empleada para descargar el condensador.
Queda una consideración final. Si el transformador de 12V/1A resulta demasiado voluminoso puede aumentarse el valor de las resistencias R31...R37 a 22 ohmios, con lo que podrá utilizarse un transformador de 12V/0,5A. Aunque de este modo los visualizadores tendrán menos brillo, el resultado es aceptable.

4c



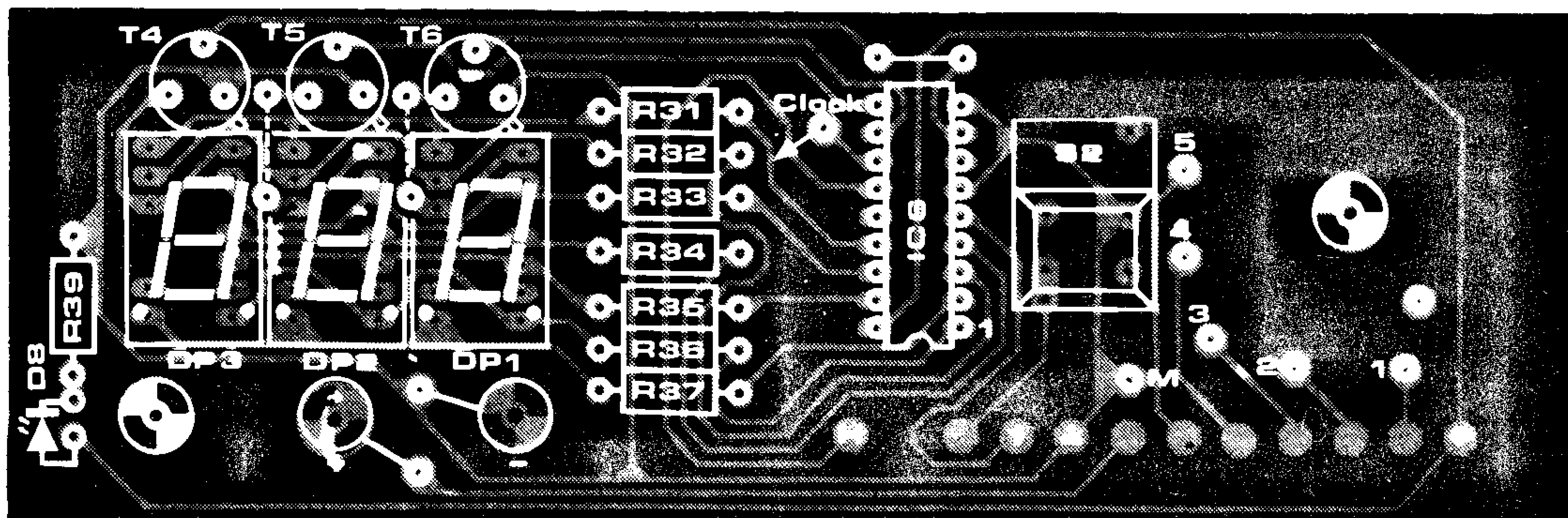
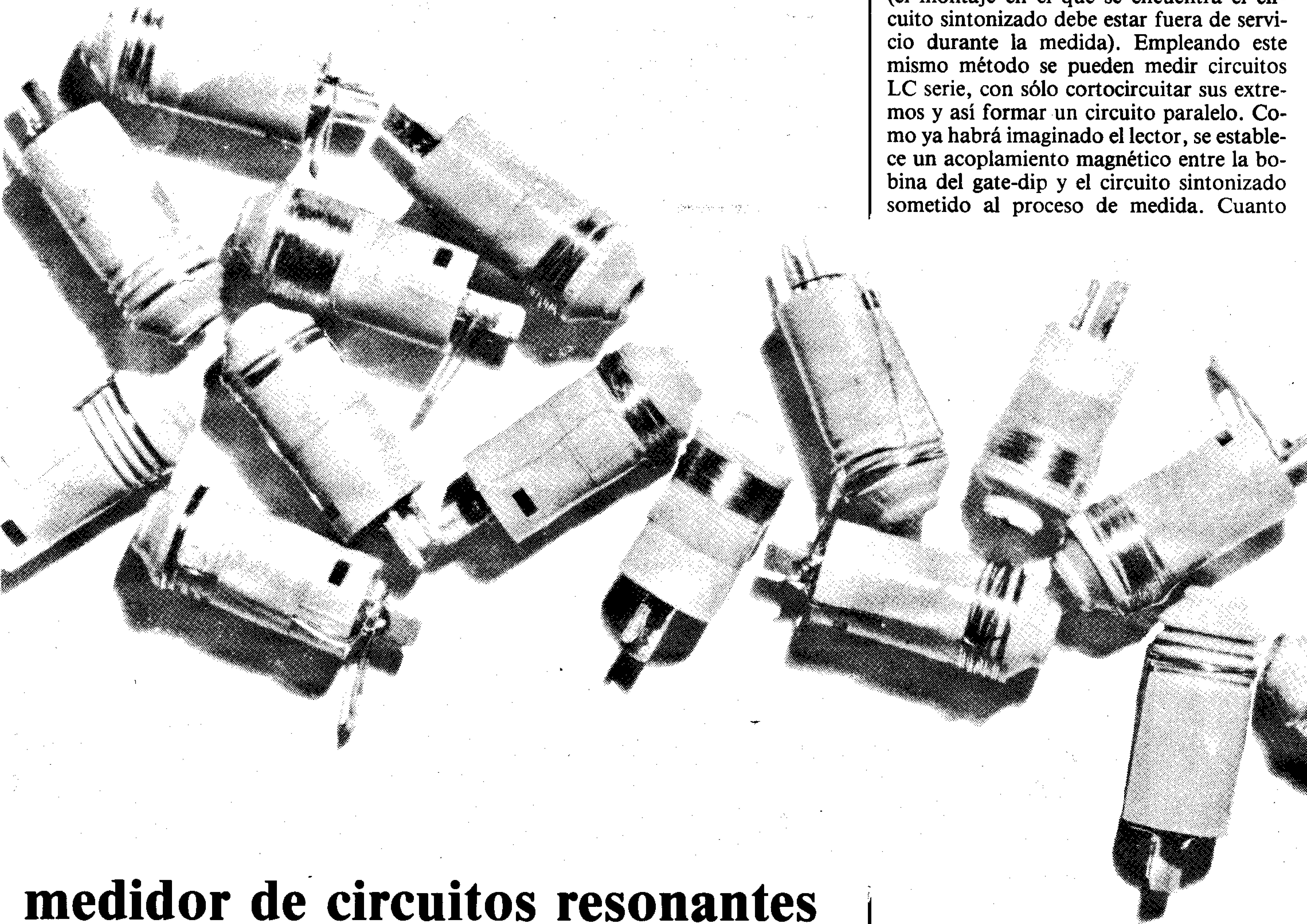


Figura 4. Para la realización del digifarad son necesarias tres placas de circuito impreso. La placa de circuito impreso principal (4a) y el circuito que contiene la fuente de alimentación y el generador de reloj (4b) se montarán una encima de otra y se fijarán mediante separadores metálicos. El circuito del contador y visualizador (4c) se colocará en la carátula de la caja que alberga a los demás componentes del digifarad.

gate — dip

Un gate-dip es un instrumento electrónico de medida que nos permitirá determinar fácilmente la frecuencia de resonancia de los circuitos sintonizados de HF (bobinas osciladoras, filtros en pi, incluso el ajuste de antenas de radioaficionados, etc.). La medida se realiza sin necesidad de efectuar ninguna conexión eléctrica; basta para ello colocar una bobina de las que dispone el gate-dip, y que forma parte de un oscilador de frecuencia variable, en las proximidades del circuito LC paralelo que se desea medir (el montaje en el que se encuentra el circuito sintonizado debe estar fuera de servicio durante la medida). Empleando este mismo método se pueden medir circuitos LC serie, con sólo cortocircuitar sus extremos y así formar un circuito paralelo. Como ya habrá imaginado el lector, se establece un acoplamiento magnético entre la bobina del gate-dip y el circuito sintonizado sometido al proceso de medida. Cuanto más cercanas se encuentren las frecuencias de resonancia del gate-dip y del circuito incógnita LC, mayor será la carga aplicada al oscilador del primero (amortiguamiento). Este fenómeno se pondrá de manifiesto a través de un pequeño instrumento de medida. Ambos circuitos (LC y bobina del gate-dip) entrarán en resonancia cuando la desviación de la aguja del instrumento de medida sea máxima. La frecuencia de resonancia de dicho circuito podrá determinarse simplemente leyendo la frecuencia indicada en la escala graduada gate-dip. El circuito del gate-dip que se describe en este artículo emplea un diodo lambda.



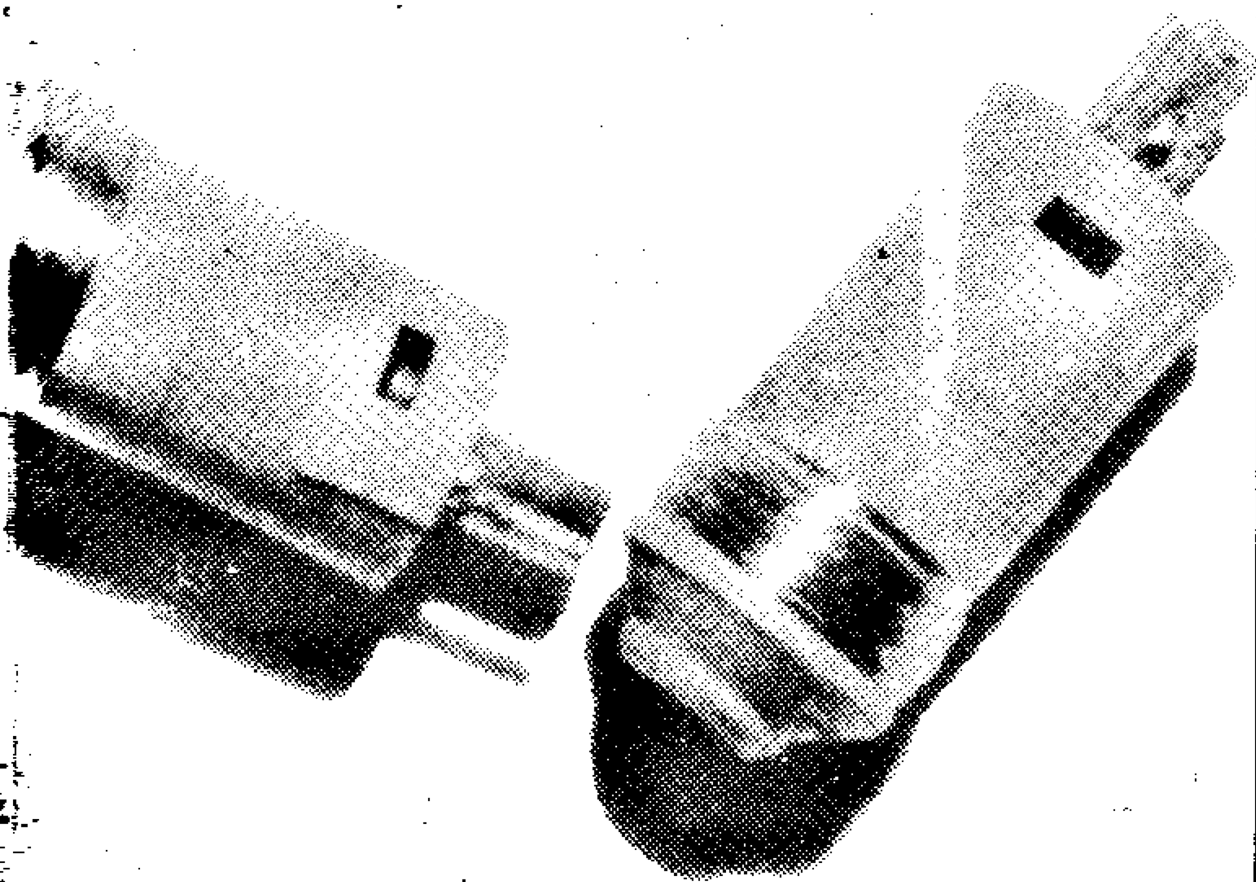
medidor de circuitos resonantes

Como es sabido el ajuste de los circuitos sintonizados de HF exige una serie de aparatos relativamente complicados y sobre todo costosos. Son pocos los entusiastas de la electrónica que pueden permitirse el lujo de tales aparatos. Existe, sin embargo, otro método para realizar esta misma tarea, sólo que mucho más barato y más simple: el gate dip (conocido en la «dorada» época de las válvulas como «grid-dip» = medidor por corriente de rejilla). Este artículo trata, por tanto, la descripción de un instrumento de medida que no debería faltar en el laboratorio de todo aficionado.

El diodo lambda

Muchos de nuestros lectores seguramente nunca habrán oído hablar de los diodos lambda, razón por la cual a continuación se impone una explicación detallada y precisa de este «nuevo» componente. Seguramente

todos habrán oído hablar del diodo tunel, pues bien la particularidad que caracteriza este componente es sin duda su curva U/I, en la que se produce un fenómeno poco corriente: durante un cierto tramo de la característica tensión/corriente de los diodos tunel, este componente presenta una resistencia dinámica negativa (resistencia diferencial). Esta propiedad fue descubierta en 1957 por el doctor Leo Esaki. Obviamente, este es un concepto que causará bastante extrañeza a nuestros lectores, puesto que normalmente sólo se habla de resistencia positiva. Una resistencia positiva (normal) presenta una relación proporcional entre la corriente y la tensión. Si aumenta la tensión en sus bornes, la corriente aumenta de forma proporcional. Inversamente, una resistencia negativa muestra una proporcionalidad inversa entre la corriente y la tensión; es decir, si la tensión disminuye, la corriente aumenta (¡sorprendente!).
En la figura 1 se muestra la curva característica de un diodo tunel. En el tramo de curva marcado como -r, la resistencia dinámica del diodo tunel es negativa. Para comprender mejor este concepto ve-



amos un ejemplo. Supongamos que el diodo se encuentra polarizado en el punto P. Como indica la figura, si aumentamos la tensión un valor △ U, la corriente disminuirá en consecuencia un valor|△ I; dicho de otra forma, la corriente aumenta una fracción negativa (-△ I).

1

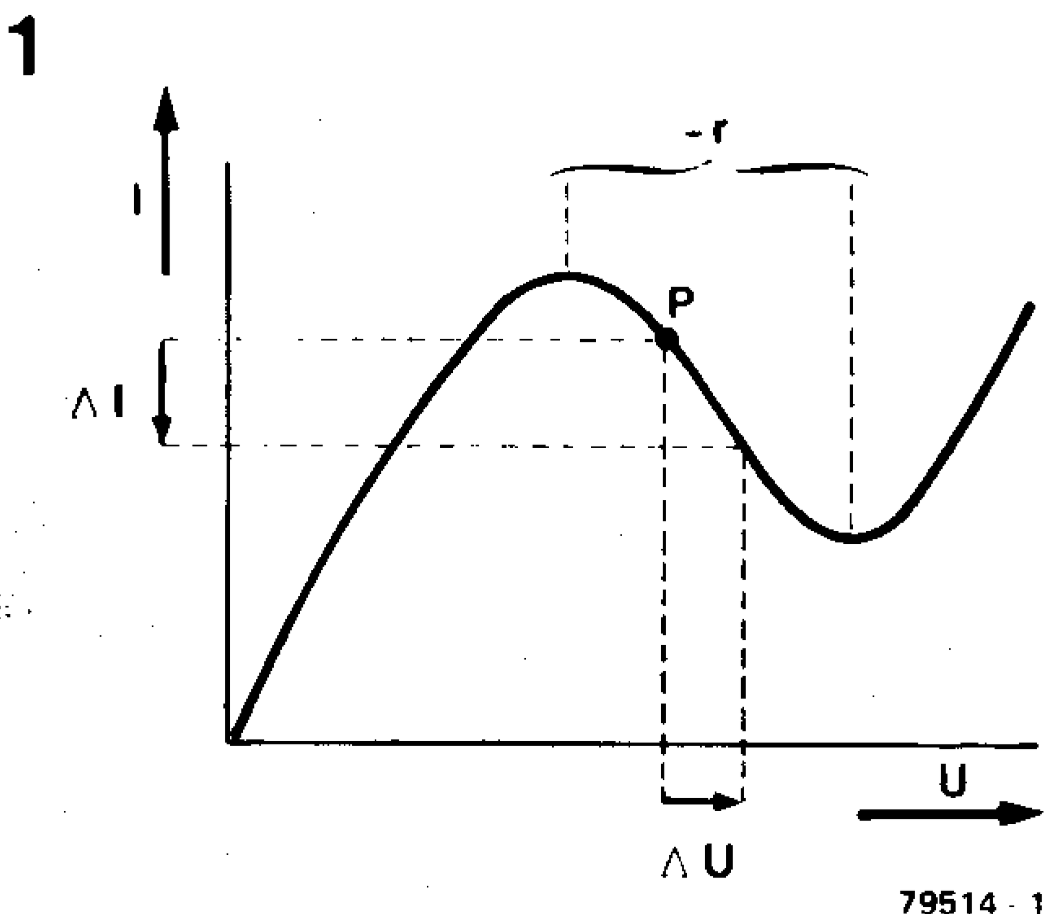


Figura 1. El diodo túnel posee una característica poco habitual. Existe una zona de la curva en la que dicho componente presenta una resistencia dinámica negativa. En esta zona de la curva, el diodo túnel funciona como un elemento activo.

2

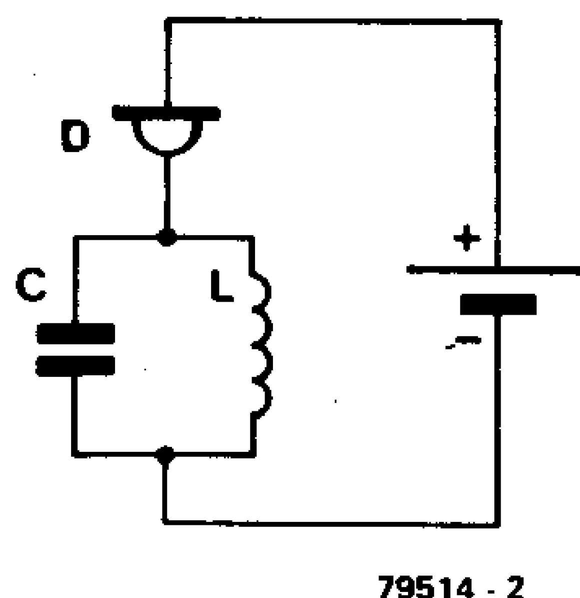


Figura 2. Este es el simple circuito de un oscilador a base de diodo Tunel.

Puede definirse, por tanto la resistencia dinámica como:

La resistencia dinámica es, por tanto:

$$r = \frac{\Delta U}{-\Delta I}$$

o

$$-r = \frac{\Delta U}{\Delta I}$$

La resistencia diferencial negativa será mínima en aquella parte de la curva característica en que ésta presente un descenso más vertical.
Es muy probable que los lectores se estén realizando la siguiente pregunta: ¿y que se puede hacer con una resistencia negativa? Sin temor a equivocarnos, podemos afirmar que una resistencia negativa es lo contrario de una resistencia positiva (no es ninguna majadería) y por tanto, se trata de un elemento ¡activo!
Una de las aplicaciones más frecuentes de un tal elemento (los diodos tunel) son los osciladores. En la figura 2 se muestra un ejemplo simple de oscilador en el que se utiliza un diodo tunel. La corriente media que circula por el diodo se ajusta automáticamente en el punto donde el efecto de resistencia negativa es más pronunciado (tramo más abrupto de la zona de resistencia negativa). Las características de un oscilador de este tipo son, entre otras, un consumo mínimo, buena estabilidad y sobre todo, la simplicidad circuital. Sin embargo, tras la aparición de los transistores FET se ha podido igualar y superar ampliamente los resultados obtenidos por los diodos tunel, razón por la cual estos componentes se han hecho cada vez menos populares. Por otra parte, los circuitos a base de FET presentan algunos problemas de aplicación, aunque en nuestros días esto está bastante superado. Actualmente un diodo lambda está compuesto por un FET de canal N y un FET de canal P (figura 3) conectados convenientemente. Dicho montaje presenta una característica casi idéntica a la del diodo tunel. Puesto que el diodo lambda es un elemento activo puede perfectamente utilizarse en un circuito oscilador. Un ejemplo de esta aplicación es el oscilador de nuestro gate-dip.

El gate-dip

En la figura 4 se muestra el esquema del gate-dip. Haciendo uso de un estabilizador de tensión integrado, el montaje puede ser utilizado mediante una pila de 9V, lo cual representa una ventaja práctica respecto a la alimentación de la red. El diodo lambda está formado por el FET T1 y el transistor T2. La configuración elegida, es sensiblemente diferente a la de la figura 3, pero desde el punto de vista de la tensión alterna, los resultados son exactamente los mismos. Debido a la reducida pendiente de los FETs de canal P, se ha optado por utilizar en su lugar un transistor bipolar. El circuito oscilador está compuesto por una bobina Lx y un condensador variable (C3) mediante el cual se ajusta la frecuencia del oscilador. El diodo lambda se polariza, mediante P1, en un punto donde se presente el fenómeno de resistencia negativa.
R1, D3 y C2 rectifican la tensión entregada por el oscilador. En bornas de D3 aparece una tensión continua y negativa (L_x se considera un cortocircuito en corriente continua). Dicha tensión será utilizada como parámetro de ajuste para el diodo lambda (a través de la rejilla de T1), pasando a continuación, a través del filtro R2-C4, al transistor FET T3. El potenciómetro P2 se ajustará de forma que el instrumento de medida marque aproximadamente 0. Si se coloca a continuación la bobina L_x en las proximidades de un circuito LC (circuito a medir), y se hace variar la frecuencia del oscilador mediante P3, la tensión negativa en bornas de D3 disminuirá a medida que crece el amortiguamiento causado por las pérdidas de energía del circuito (debido al

3

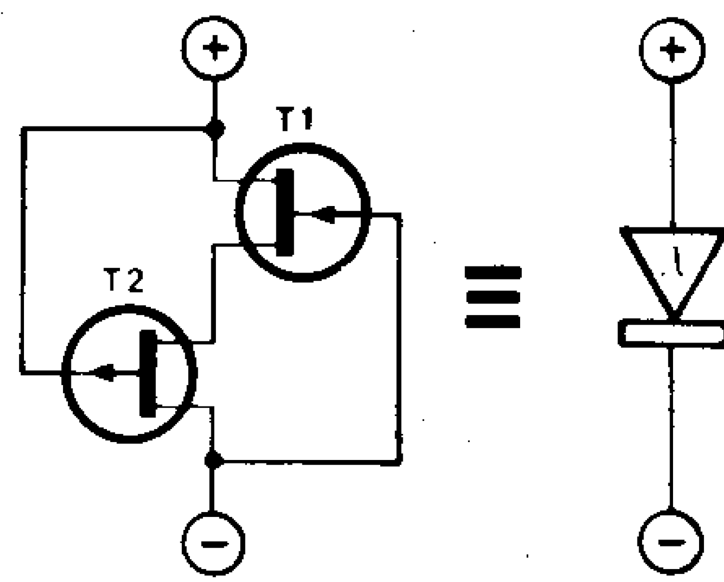


Figura 3. Conectando un FET de canal N y un FET de canal P tal y como se indica en la figura se obtiene un diodo lambda. Este diodo posee una característica equivalente a la de los diodos túnel.

acoplamiento magnético entre ambos circuitos sintonizados). Toda disminución de la tensión negativa hará aumentar el potencial de fuente de T3, el cual a su vez provocará una desviación de la aguja del galvanómetro. El valor de C3 será un índice de la frecuencia de resonancia cuando la aguja del instrumento de medida alcance su máxima desviación. Debido a las características peculiares de los diodos lambda, en nuestro aparato se buscará un máximo en la indicación del galvanómetro, y no un mínimo como se hacía en los grid-dip meter, o medidor por corriente de rejilla. Este aparato de medida (el gate-dip) puede utilizarse igualmente para controlar el funcionamiento de un oscilador. Para ello bastará con aproximar la bobina L_x al circuito oscilador. Entre las frecuencias de oscilación de los dos circuitos se producirá una interferencia o batido. Si

4

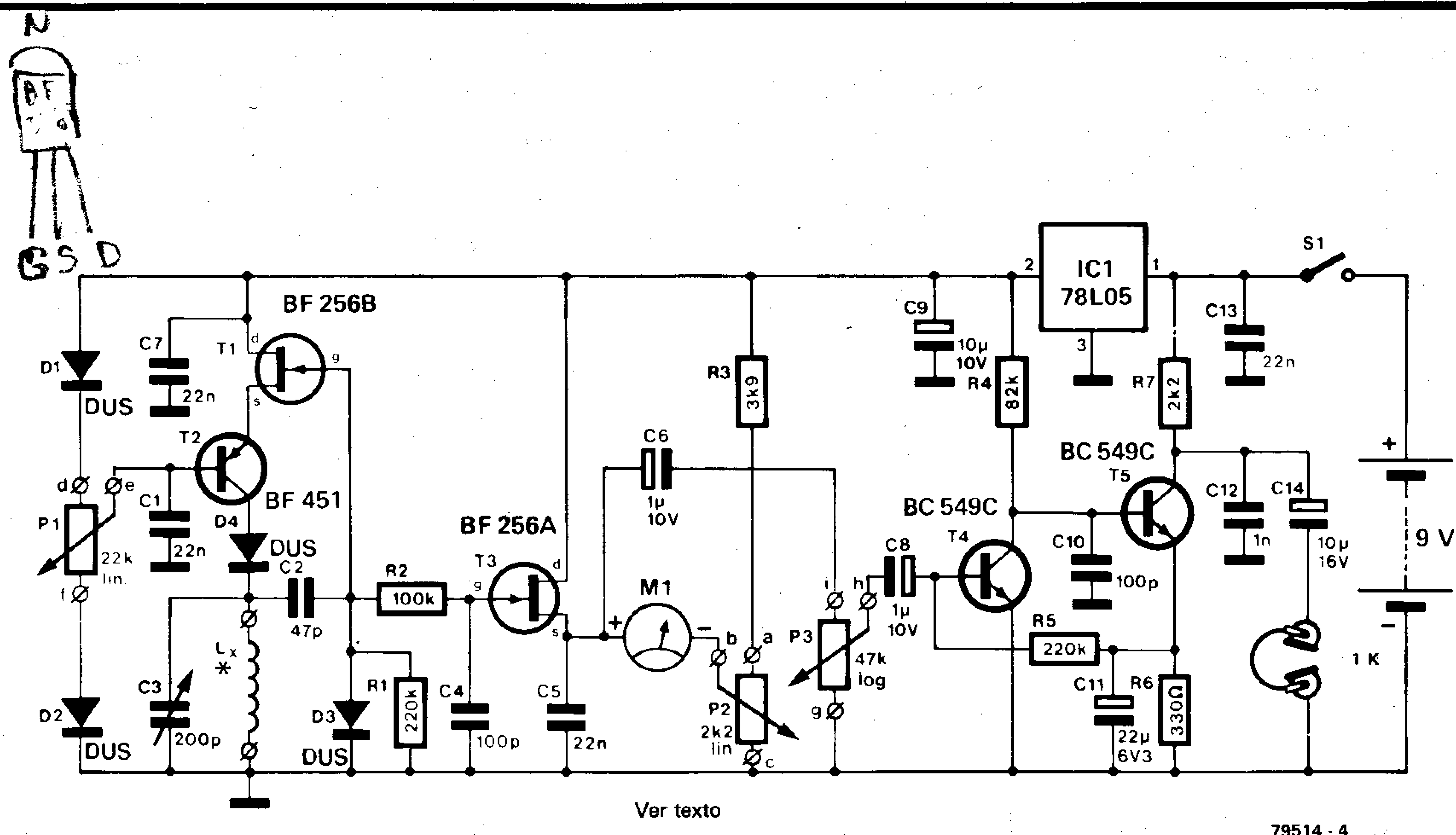
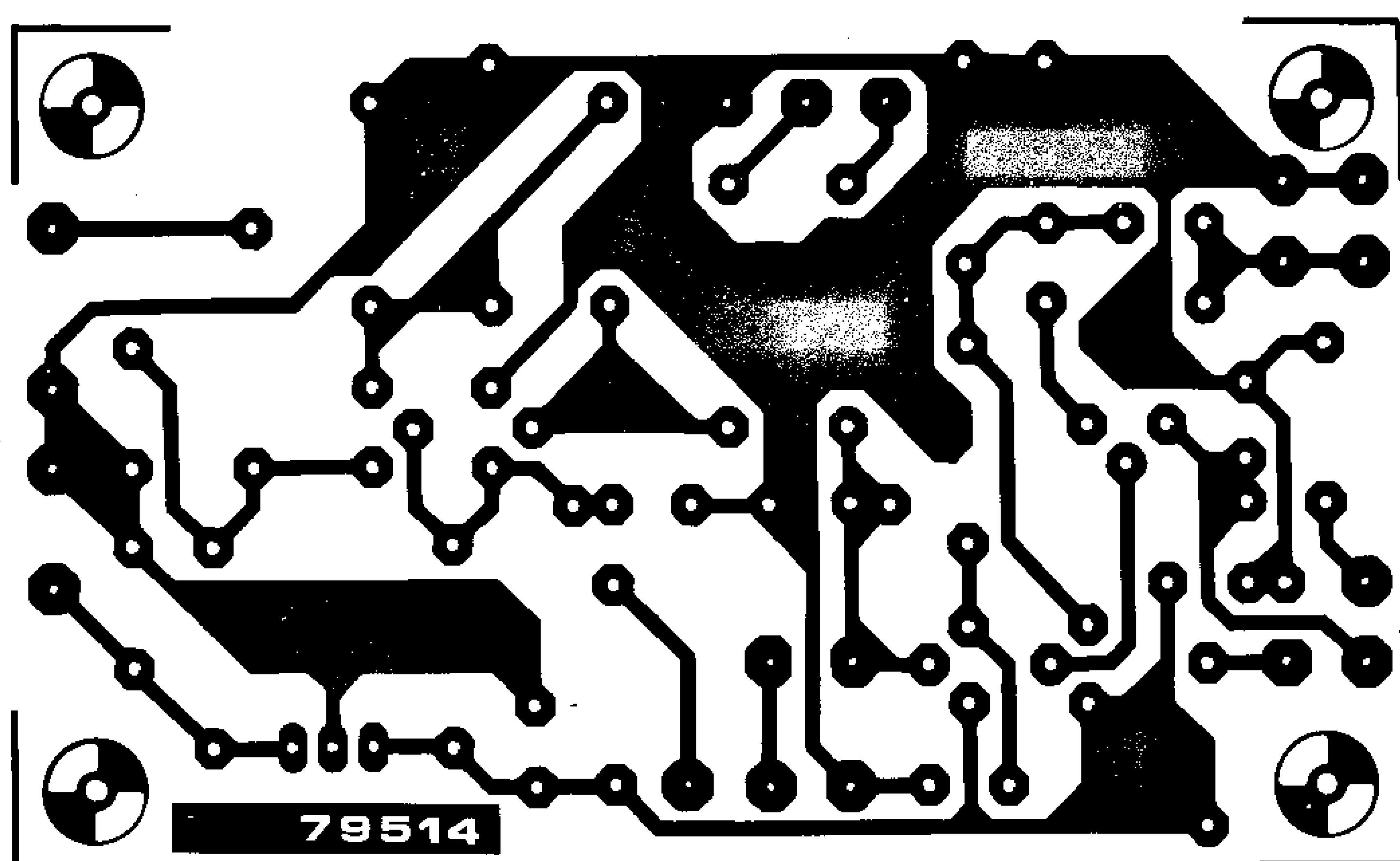


Figura 4. Esquema completo del gate-dip. El FET T1 y el transistor T2 forman el diodo lambda. A primera vista, esta configuración se parece poco a la indicada en la figura 3. En alterna, la base de T2 está conectada al drenador de T1, y la puerta de T1 al colector de T2. El esquema equivalente en alterna corresponde, por tanto al de un diodo lambda salvo el FET reemplazado por el transistor bipolar.

5



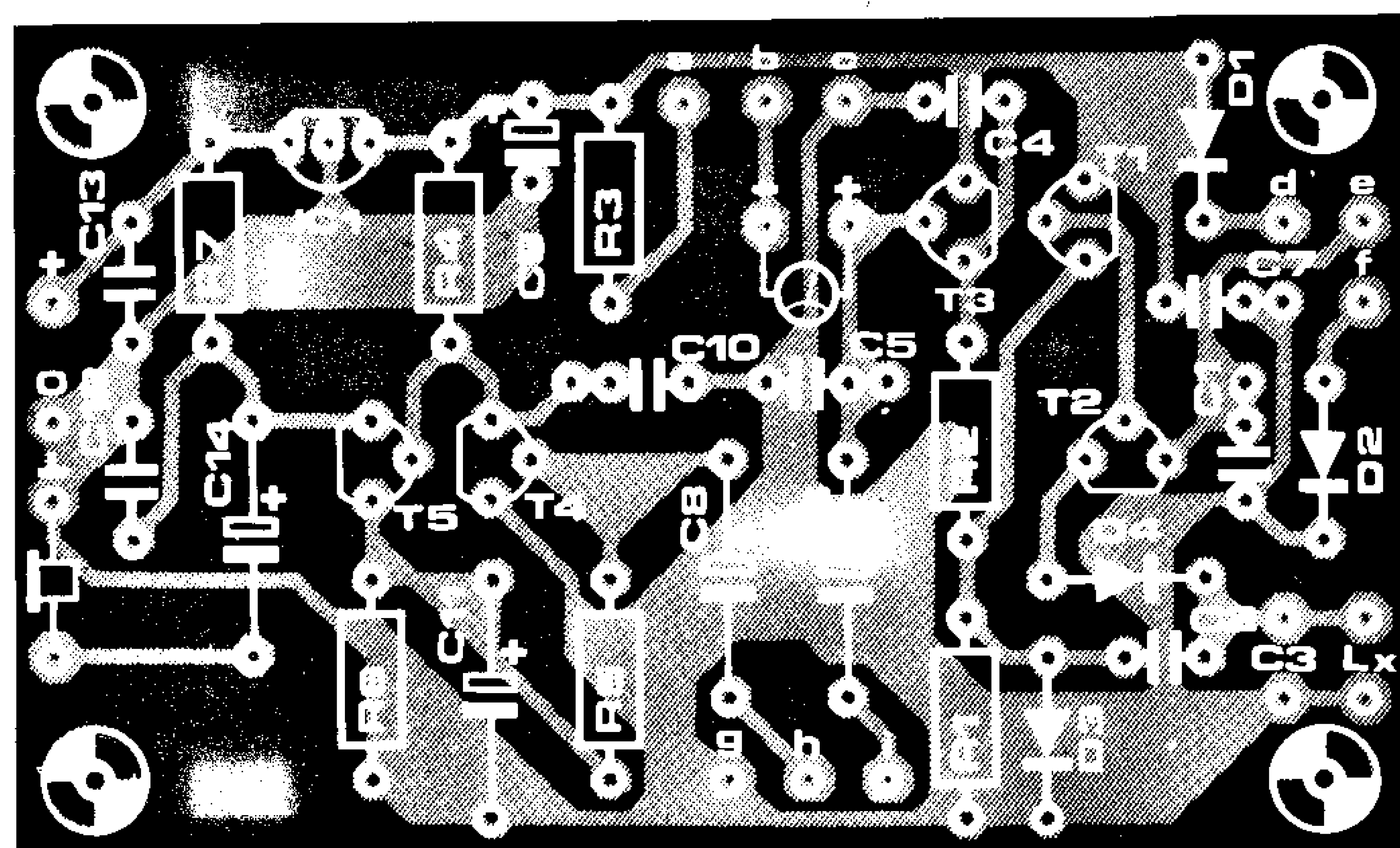


Figura 5. Dibujo y distribución de componentes de la placa de circuito impreso. La bobina L_x no está incluida en la placa de circuito impreso. Dicha bobina se conecta a una toma situada en el exterior de la caja (conector de altavoz). De esta forma se podrán conectar las bobinas que cubren las diferentes bandas.

Lista de componentes:

Resistencias:

R1,R5 = 220 k
R2 = 100 k
R3 = 3k9
R4 = 82 k
R6 = 330 Ω
R7 = 2k2
P1 = 22 k lin
P2 = 2k2 lin
P3 = 47 k log

Condensadores:

C1,C5,C7,C13 = 22 n
C2 = 47 p
C3 = 220 p, variable
C4,C10 = 100 p
C6,C8 = 1 µ/10 V
C9 = 10 µ/10 V tantalo
C11 = 22 µ/6.3 V
C12 = 1 n
C14 = 10 µ/16 V

Semiconductores:

T1 = BF 256B
T2 = BF 451 ~ BF 324
T3 = BF 256A
T4,T5 = BC 549C
IC1 = 78L05
D1 . . . D4 = DUS

Varios:

L_x ver texto y tabla
M1 = galvanómetro de 225µ a o menos
S1 = interruptor
8 conectores DIN
1 zocalo DIN

ajustamos con precisión el condensador C3 podremos hacer que las frecuencias de ambos osciladores estén tan próximas que el batido generado llegue a ser audible, es decir, que entre dentro de la gama de 20 a 20.000 Hz. Dichas frecuencias de batido no quedan suficientemente rectificadas y por consecuencia aparecen en la base de T3. Para poder hacer audible esta señal se ha dispuesto la etapa amplificadora formada por T4 y T5. Las frecuencias de batido se manifiestan a través de un auricular. El potenciómetro P3 se utiliza como control de volumen.

Cuando se emplee este aparato de medida con los circuitos sintonizados de un receptor, podrá conseguirse la demodulación directa de la señal (según el principio de con-

versión directa) ajustando cuidadosamente el oscilador del gate-dip para un batido nulo. En este caso el oscilador formado en torno al diodo lamdda funciona como una etapa mezcladora auto oscilante. Esta propiedad nos permitirá realizar un ajuste preciso de la escala de frecuencias del medidor.

Construcción

En la figura 5 se muestra el diseño y la distribución de componentes del circuito impreso. La bobina L_x no va montada directamente sobre el circuito impreso. Para facilitar la intercambiabilidad de las diferentes bobinas (L_x) que emplea nuestro aparato, se ha dispuesto un conector de altavoz. Esto nos permite cambiar fácilmente las bobinas, y por consecuencia la gama de medida del aparato. En la tabla adjunta se muestran los parámetros de las diferentes bobinas y su correspondiente gama de frecuencia.

Las bobinas se devanarán en clavija de altavoz normal y corriente, lo más lejos posible de los terminales metálicos (ver figura 6). El núcleo de las bobinas ha de ser obligatoriamente un material no conductor de los campos magnéticos, ya que de lo contrario podrían producirse grandes pérdidas (que aumentan con la frecuencia de trabajo). El inconveniente creado por las citadas pérdidas es el desajuste del cero del galvanómetro tras cada variación del valor de C3. Este fenómeno no es muy grave, ya que el aparato de medida no se emplea aquí como indicador de valores exactos; sin embargo, unas pérdidas demasiado fuertes pueden producir una desviación de la aguja suficientemente grande como para impedir un ajuste correcto de la frecuencia de resonancia (se hace más difícil la identificación de los máximos indicados por la aguja del galvanómetro).

Las extremidades de cada bobina se soldarán a los terminales de conexión de la clavija (los hilos deberán tener la menor longitud posible). Esta manera de proceder facilita el intercambio de bobinas entre las diferentes gamas que cubre el aparato.

El condensador de sintonía C3 se deberá conectar al circuito impreso mediante cables cortos y gruesos, o de lo contrario se haría imposible cualquier medida por encima de los 80 MHz (dicho sea de paso, C3 ha de ser de una cierta calidad, si se desea un funcionamiento satisfactorio).

Calibración y uso

Antes de equipar al gate-dip con una escala calibrada, es preciso habituarse al manejo de este nuevo aparato. Pasa ser exactos se debería puntualizar que el circuito no posee un único punto de ajuste. Los potenciómetros P1 y P2 se ajustarán de forma que el galvanómetro ponga de manifiesto los picos de tensión lo más claramente posible. El instrumento de medida debe considerarse en este caso como un indicador; en realidad es el comportamiento de la aguja el que importa (y no su indicación exacta). P2 se emplea para mantener la aguja del instrumento de medida en la zona útil. Si la aguja se desvía demasiado (por ejemplo, a causa de las pérdidas de energía debidas a piezas metálicas próximas a la bobina captadora), se ajustará P2 de modo que la aguja pueda moverse en un amplio margen (por ejemplo, el centro de la escala).

El potenciómetro P1 ajusta la polarización del diodo lamdda. Este ajuste determina la sensibilidad del gate-dip. Para ponerlo a punto se seguirá el procedimiento que a continuación describimos:

Girar el cursor de P1 hacia el cátodo de D1. En este caso el oscilador está fuera de servicio y la desviación de la aguja es máxima. Asegurarse de que la aguja no llega hasta el final de la escala (en caso necesario corregir la posición de ésta con ayuda de P2). Girar el cursor de P1 en la dirección contraria. Durante esta operación se deberá observar una disminución en la deflexión de la aguja (el oscilador entra en funcionamiento). Conseguido esto, se continuará maniobrando el potenciómetro P1 hasta alcanzar la desviación mínima (en algunos casos puede ser necesario reajustar P2).

Nota: Siempre que se cambie de bobina (L_x) será necesario reajustar P2.

Para aquellos lectores que manejan este instrumento por primera vez es aconsejable realizar experimentos con un oscilador de frecuencia conocida (jugando con el potenciómetro de sensibilidad P1).

El proceso que se describe a continuación tiene por objeto la calibración del condensador variable C3. En este caso se utilizará el gate-dip como demodulador de AM. Se empleará como antena un hilo vertical u horizontal de 10 metros (como mínimo). Dicha antena se acoplará magnéticamente a la bobina del gate-dip mediante una bobina de una sola espira formada con el propio hilo de la antena tal y como se muestra en la figura 7. La extremidad libre de la espira de acoplamiento deberá conectarse a masa (por ejemplo, un balcón magnético, o una tubería del agua). A continuación se ajusta el condensador C3 hasta escuchar una emisora de AM conocida. Esto significa que la frecuencia del oscilador es igual a la de la portadora del emisor (la frecuencia indicada en el dial del aparato receptor). Repitiendo este proceso con diferentes emisoras de radio, se obtendrán los diferentes puntos de calibración para la escala de nuestro aparato (escala en frecuencia del condensador C3). La calibración de las gamas superiores podrá efectuarse perfectamente con la ayuda de circuitos sintonizados a la frecuencia de oscilación (de valor conocido).

La posición de P1 en la que se recibe con más intensidad la señal da automáticamente el punto de sensibilidad máxima durante la utilización del gate-dip. Con el fin de facilitar el uso y ajuste del instrumento, es aconsejable disponer un sistema de freno mecánico en el eje del condensador C3 para evitar que éste gire libremente al manipular el aparato (basta con que se ponga una ligera resistencia al movimiento).

N.° de vueltas	ϕ Cable de Cu.	Gamas de frecuencia
230	0.1 mm	374 kHz . . . 871 kHz
110	0.1 mm	701 kHz . . . 1616 kHz
47	0.2 mm	1535 kHz . . . 4326 kHz
23	0.2 mm	2712 kHz . . . 7224 kHz
12	0.6 mm	6777 kHz . . . 21,2 MHz
5	0.6 mm	12,6 MHz . . . 45,6 MHz
2	0.6 mm	27 MHz . . . 80 MHz
1	1.0 mm	50 MHz . . . 150 MHz

6

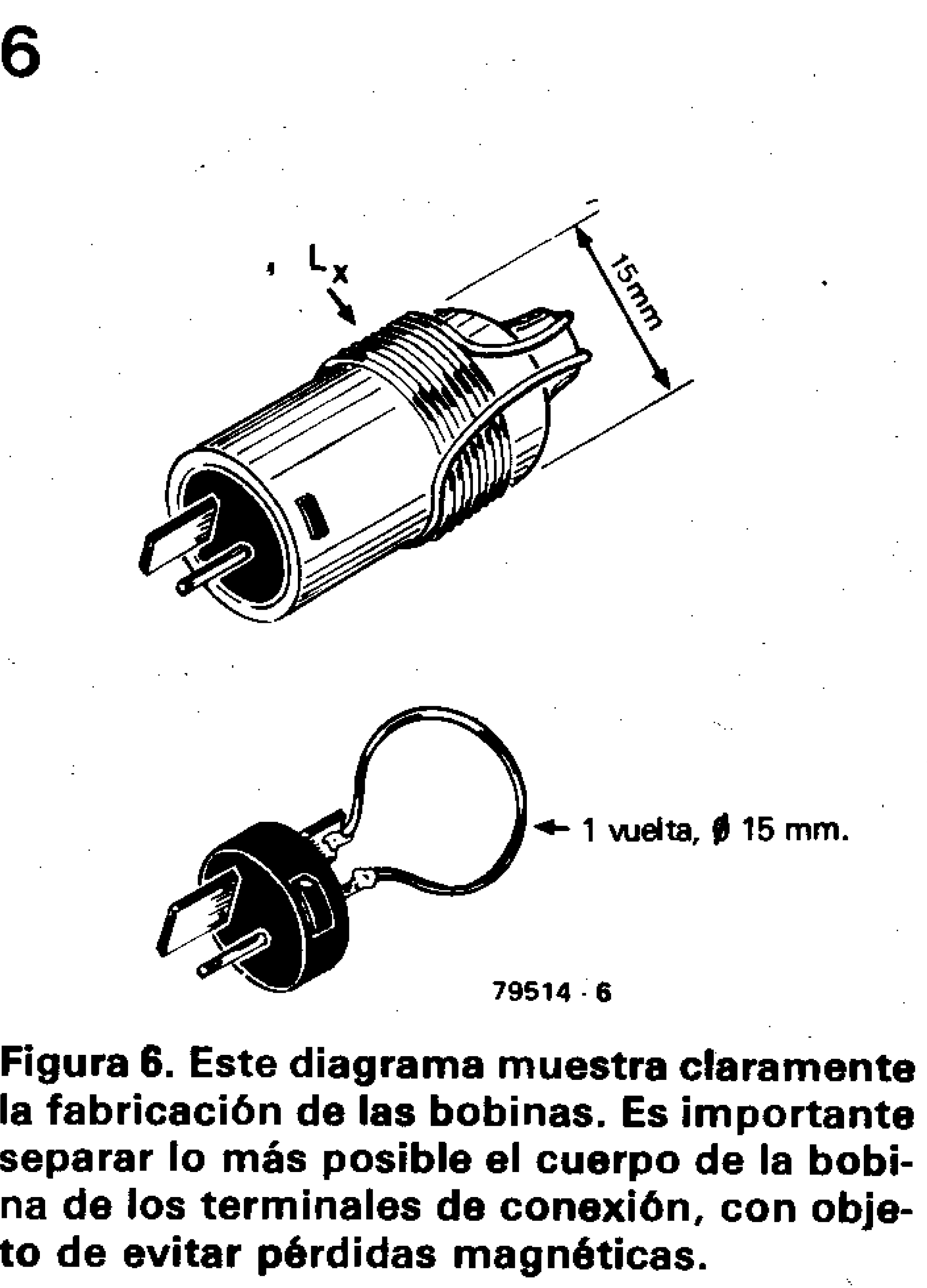


Figura 6. Este diagrama muestra claramente la fabricación de las bobinas. Es importante separar lo más posible el cuerpo de la bobina de los terminales de conexión, con objeto de evitar pérdidas magnéticas.

7

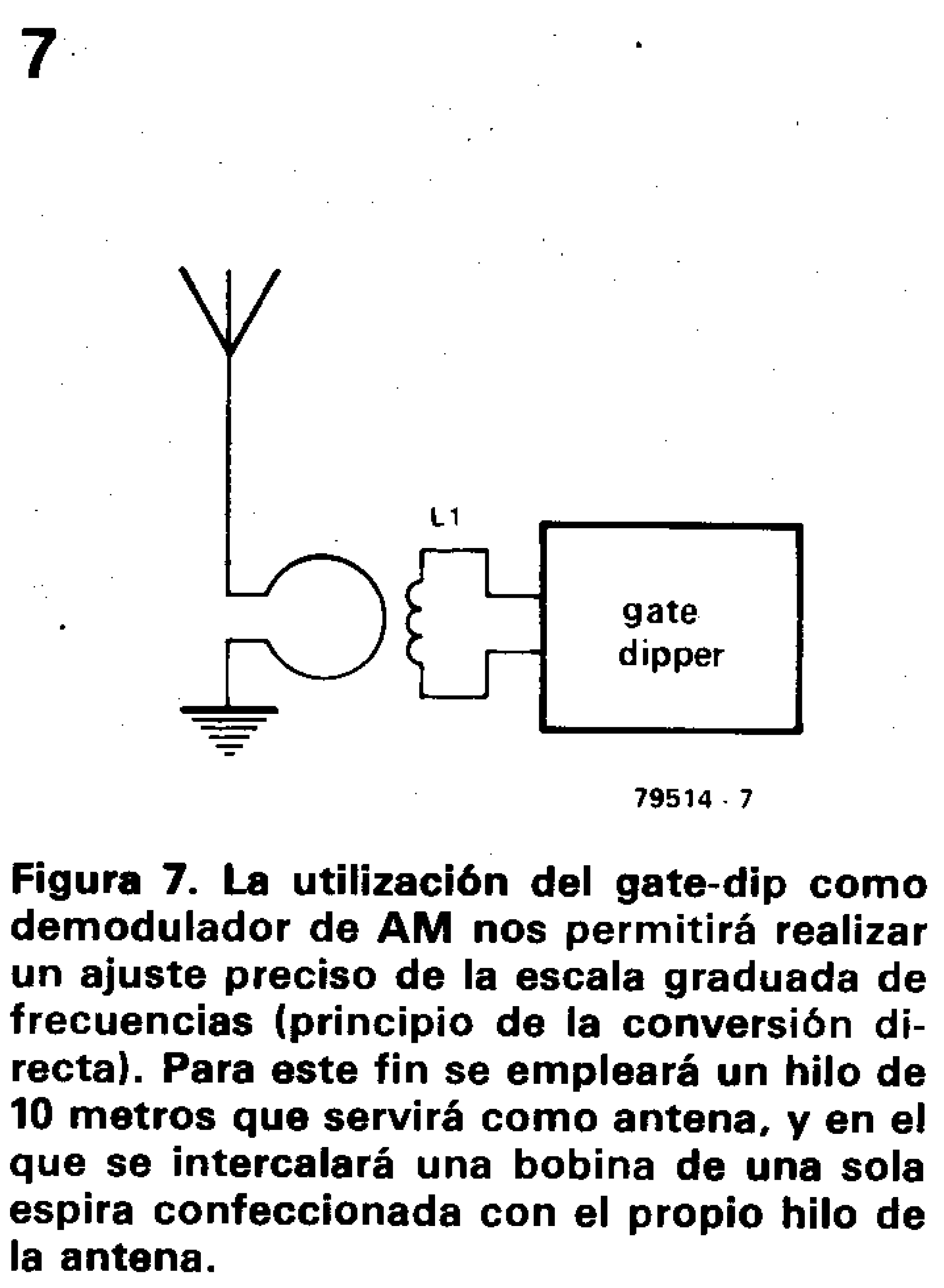
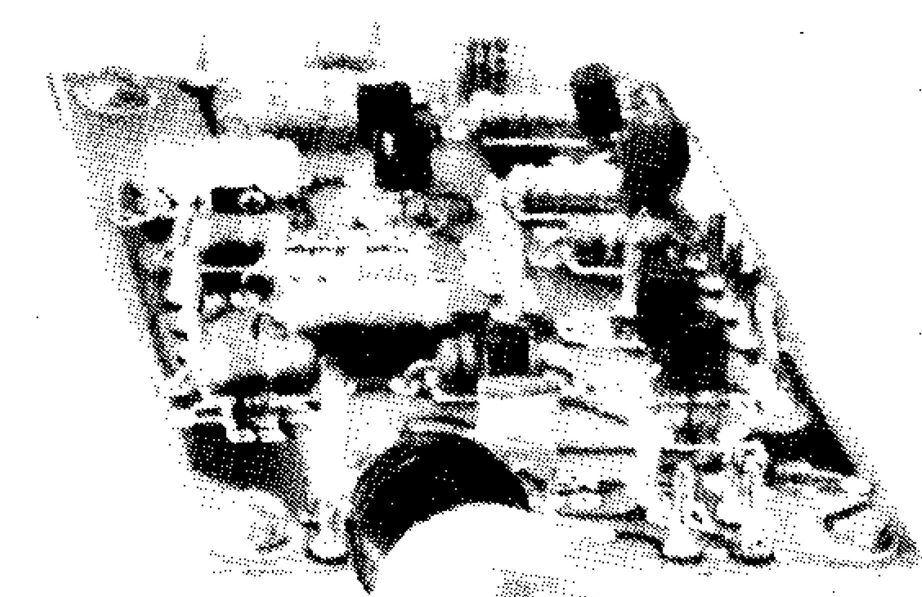


Figura 7. La utilización del gate-dip como demodulador de AM nos permitirá realizar un ajuste preciso de la escala graduada de frecuencias (principio de la conversión directa). Para este fin se empleará un hilo de 10 metros que servirá como antena, y en el que se intercalará una bobina de una sola espira confeccionada con el propio hilo de la antena.



interface para el Junior Computer (I)

Tarjeta de interface para ampliar el sistema de comunicaciones exteriores

Puesto que está próxima la aparición del segundo libro del Junior Computer, ¿qué mejor momento para abordar la última etapa sobre el microordenador proyectado por Elektor? La adición de la placa de interface publicada en este artículo transformará al Junior Computer en un completo sistema microordenador. Esta tarjeta le proporciona los lazos esenciales de comunicación con el exterior; además le dota de un área de memoria adicional (RAM y EPROM). Este interface permite a su vez conectar otras tarjetas de memoria, así como una casete. Esto permitirá al Junior Computer comunicarse con el operador (y viceversa) de forma más sofisticada.

Una vez incorporada al Junior Computer la tarjeta de interface, puede considerarse que el proyecto se encuentra en su etapa final, es decir, se dispone de todo el hardware requerido para su total explotación. Como es lógico, su cerebro (el software = programa) puede, posteriormente, ser ampliado. En conclusión, ha llegado la hora de que nuestro sistema «se exprese como un adulto», o lo que es igual, que funcione en un lenguaje de alto nivel. Esto, obviamente, presenta un innegable interés para los posibles operadores. En este mismo número se describe software de ayuda para la programación del sistema. Sin embargo, el lenguaje utilizado utilizado es todavía el código de máquina.

Obviamente, el lenguaje más adecuado para un sistema de este tipo sería el BASIC, una versión de 8K, combinada con una memoria RAM de 16K. Naturalmente dicho lenguaje se basaría en el softaware ya desarrollado por otras firmas tal como APPLE o KIM, puesto que no se merece menos un sistema de las características del Junior Computer (claro está, suponiendo que haya suficientes lectores interesados en esta idea; si usted tiene alguna otra sugerencia que hacernos sobre este tema envíenosla por escrito).

En cualquier caso el departamento técnico de Elektor piensa incorporar al sistema una memoria dinámica RAM de 16K en un próximo futuro.

Pero, lo primero es lo primero. Veamos que ampliaciones son necesarias para que el Junior Computer alcance su madurez.

¿Sistema de bus, o sistema monotarjeta?

Los sistemas de microcomputadores especialmente diseñados para los aficionados a la informática se encuentran principalmente en dos formatos: sistema de bus o sistema monotarjeta. El primero de ellos emplea varias tarjetas (placa de circuito impreso) en las que se incluyen todos los componentes necesarios. Dichas tarjetas poseen el mismo tamaño (formato eurocard; 100 × 160 mm, por ejemplo) y están individualmente conectadas mediante un sistema que se conoce con el nombre de «bus». Una tarjeta del bus es un circuito impreso en el que se han dispuesto varios conectores cuyos terminales se encuentran unidos a las mismas líneas (datos, direcciones, reloj, alimentación, etc.). Como puede comprenderse este sistema tiene una compatibilidad universal y en teoría la ampliación de sus posibilidades puede considerarse ilimitada. En conclusión, las características finales del sistema así formado son adaptables a cualquier necesidad.

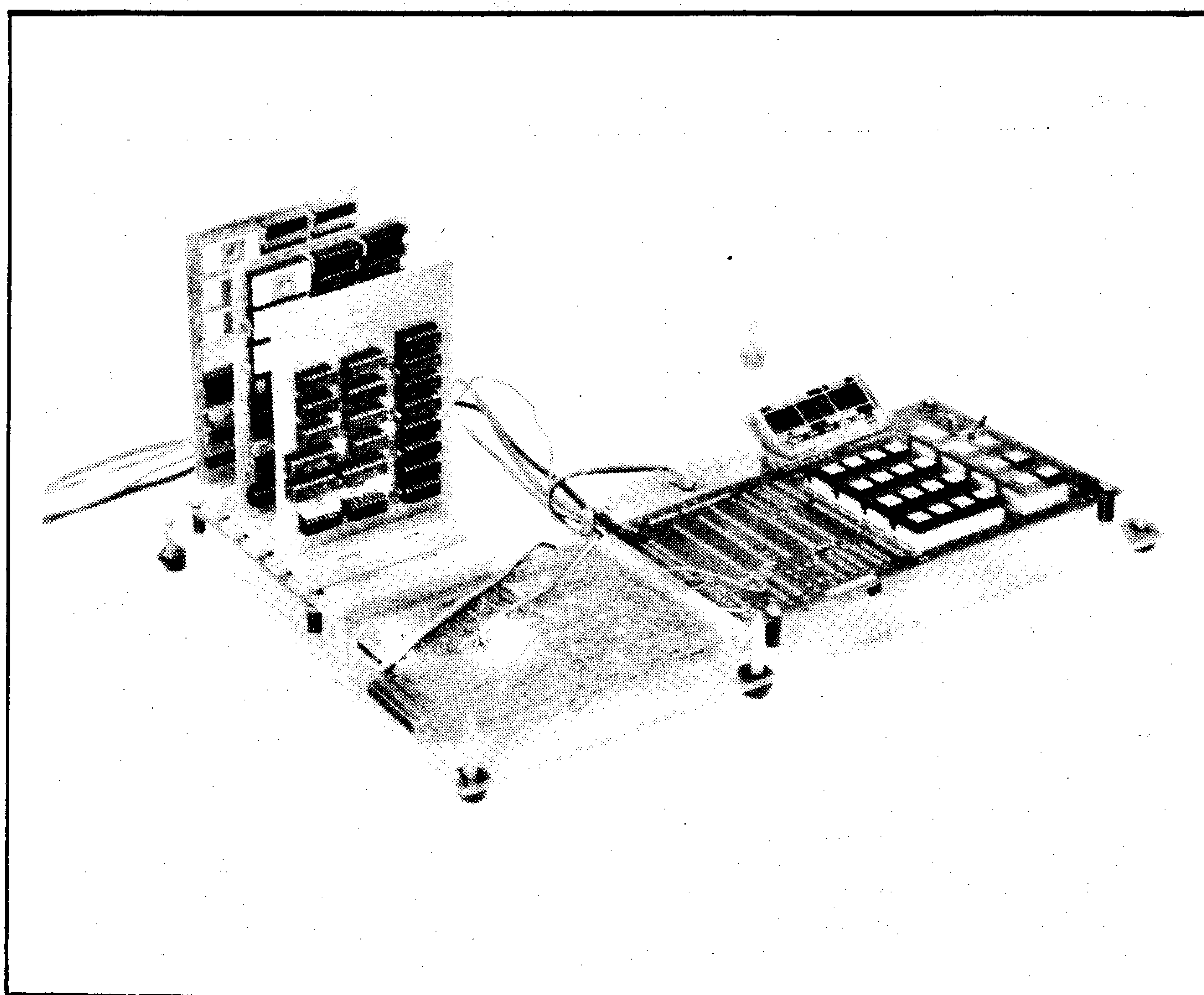
Por otra parte, los sistemas monotarjeta, tal como su nombre indica, incorporan «todos» los componentes necesarios en una misma placa. La utilidad de un tal sistema depende de lo que se entienda por «todos los componentes», ya que existen grandes variaciones entre los distintos sistemas monotarjeta que actualmente existen en el mercado. Lógicamente, el poner «todo» en una misma tarjeta tiene sus riesgos: en algunos casos particulares puede ser altamente beneficioso, sin embargo, existen ciertas aplicaciones en las que una sola tarjeta resulta «pequeña». El problema de trabajar con sistema monotarjeta consiste en determinar exactamente las necesidades que deberá satisfacer nuestro sistema; esto ha de estar obligatoriamente determinado desde un principio, lo cual es extremadamente complejo puesto que generalmente los requerimientos de un sistema son muy variables.

Los microcomputadores monotarjeta se emplean principalmente en el campo de la enseñanza, o como parte de sistemas de control de poca complejidad, en los que el microprocesador se encuentra continuamente en funcionamiento. La versión estándar del Junior Computer es efectivamente un sistema monotarjeta destinado al aprendizaje de los no iniciados. Sin embargo, la versión estándar ya ha sido empleada en una gran variedad de aplicaciones como pueden ser los procesos de control en las factorías de semiconductores o como convertidores A/D o D/A. Las posibilidades de la versión estandar del Junior Computer son casi ilimitadas de hecho; esta conclusión no debe extrañar a nadie a estas alturas.

Existen dos buenas razones para disponer un conector de expansión en la tarjeta del Junior Computer: en primer lugar, permite la conexión de un cassette que servirá como memoria adicional, y por otra parte, facilita la ampliación de la memoria RAM hasta un máximo de 64K, así como la conexión de todo tipo de periféricos como pueden ser el terminal de vídeo, el teclado, etc. Dichos periféricos aumentan las posibilidades de comunicación entre el computador y el mundo exterior.

Una vez que se haya hecho uso del conector de expansión incluido en la tarjeta del Junior Computer, puede decirse sin ninguna duda que nuestro microordenador ha dejado de ser un sistema monotarjeta; sin embargo, tampoco puede afirmarse que sus posibilidades sean ilimitadas como ocurría

en el caso de los sistemas de bus. En cualquier caso la versión ampliada del Junior Computer tiene poca similitud física con los sistemas monotarjeta clásicos. Todas las ampliaciones mencionadas anteriormente se incluyen en la tarjeta de interface que tiene las mismas medidas que la placa principal con el fin de facilitar su conexión en un mismo rack.
A pesar de que el Junior Computer puede incorporar una tarjeta de bus no se puede considerar al conjunto así formado enteramente como un sistema de bus, pero sus posibilidades no dejan de ser realmente asombrosas.



La tarjeta de interface

La palabra «interface», por sí misma ya sugiere algún tipo de conexión. En este caso la tarjeta de interface para el Junior Computer le dota de las líneas de conexión vitales para establecer una adecuada comunicación con el mundo exterior. Concretamente esta tarjeta amplía los canales de comunicación de nuestro microprocesador: líneas adicionales de I/O, interface de cassette, interface RS-232 y conexiones internas con la placa de bus.
En las figuras 1 y 2 se muestran las secciones de la tarjeta de interface que nos ocupa. Como puede verse se trata de un circuito de mayor complejidad que la placa principal, aunque su tamaño (son iguales) pueda indicar lo contrario. Seguidamente haremos una discusión detallada e individual de cada una de sus partes.

Los buffer

En la parte izquierda de la figura 1 se encuentran las líneas pertenecientes al conector de entrada, que junto con otras 5 líneas procedentes del conector de acceso, realizan el intercambio de información con la terjeta principal. Exceptuando las líneas EX y K1...K6 (sólo se utilizan para la tarjeta de interface), todas las demás líneas se encuentran en el conector de salida situado a la derecha de la figura 1. Este recibirá la tarjeta de bus, la cual dispondrá de los conectores necesarios para insertar las tarjetas de memoria adicionales.
Las ya conocidas líneas de direcciones (A) y datos (D), ahora se marcan con las siglas AB y DB; la B indica que dichas líneas se transmiten a través de un «buffer» (amplificador-tampón). ¿Por que se han incluido etapas buffer en las citadas líneas? Hay dos razones importantes para ello, en primer lugar se evitan las sobrecargas que podrían producirse en el caso de conectar un gran número de perféricos sobre una misma línea; esto concierne específicamente a las líneas de direcciones. En segundo lugar, y referido a la línea de datos, éstas sólo deben quedar momentáneamente conectadas al periférico sobre el que se está trabajando. Los buffer de las líneas de direcciones están constituidos por las puertas N1...N6. La orientación de los triángulos que sirven de diagramas simbólicos para representar los buffers, indican claramente el sentido de flujo de la información entre la tarjeta principal y la tarjeta de interface: hacia la izquierda para las entradas, y hacia la derecha para las salidas. N17...N32 son las puertas que trabajan como buffers para las líneas de datos. Estas están repartidas en dos grupos: el primero de ellos se identifica por los números pares, y su entrada está a la derecha, de forma que su salida estará mirando hacia la izquierda. El segundo grupo (número impares), tienen la entrada a la izquierda y la salida a la derecha.
Existen tres situaciones posibles:
1.° Los buffer de número impar están activados y los de número par están inactivos. Esta situación se produce cuando las líneas READ y $\overline{\text{WRITE}}$ se encuentran a nivel bajo (0). En esta situación los datos fluirán desde la placa de base hacia la tarjeta de ampliación, ya sea para dirigirse a la interface de memoria, la extensión de memoria (memoria de bus) o a las líneas I/O
2.° Cuando $\overline{\text{WRITE}}$ y READ están a nivel lógico alto (1), se activan las puertas de número par. Lógicamente las puertas impares quedan inactivas, y el flujo de datos se producirá desde la placa de extensión hacia la placa principal; es decir, se podrá realizar la operación de lectura en la memoria de interface o en el bus de memoria; o incluso a través de la línea I/O.
3.° Cuando la señal $\overline{\text{WRITE}}$ se encuentra a nivel lógico alto, y READ está en el nivel lógico bajo todas las puertas comprendidas entre N17 y N32 quedan inactivas y por tanto, no habrá transferencia de datos. Esto ocurre cuando se leen o escriben datos en el interior de la memoria perteneciente a la placa principal o en las líneas I/O del Junior Computer. La memoria PROM IC17 se encarga de generar las señales $\overline{\text{WRITE}}$ y READ. Más adelante profundizaremos sobre este tema.
Notas: teóricamente existe una cuarta posibilidad que sería cuando la línea $\overline{\text{WRITE}}$ está a nivel bajo y READ se encuentra a nivel alto, en cuyo caso todas las puertas N17...N32 quedarían activadas al mismo tiempo, lo cual no sucederá nunca.

Líneas adicionales de I/O

La VIA IC1 es un circuito integrado del tipo 6522, y merece una atención individual. De hecho en la segunda mitad del tercer libro se le dedica un capítulo completo. La VIA (Versatile Interface Adapter) es un circuito notablemente más útil que la PIA 6532 ya que ofrece un mayor número de líneas I/O. Como se muestra en la figura 1 el CONECTOR VIA incorpora las principales conexiones con el exterior. En realidad no se puede hablar de un verdadero conector de VIA puesto que en la práctica no existe tal. El 6522 se controla mediante las líneas de dirección AB0...AB3, así como las diferentes señales proporcionadas por el bus de control. La presencia de las 8 líneas de datos y la línea IRQ (emisión de una interrupción al final de una cuenta del temporizador), deberá resultar ya familiar a los poseedores del primer libro.
La VIA, al igual que la PIA, posee dos entradas de «selección de chip»: El punto CS2 del 6522 (VIA) se encuentra conectado al terminal K6 del decodificador de direcciones IC6, situado en la placa principal. CS1 está conectado a la salida de N35. Esta puerta recoje en su entrada las líneas K6 y AB9. Para poder direccionar la VIA, es preciso que CS2 se encuentre a nivel bajo (0) y CS1 se encuentre a nivel alto (1). N35 es una puerta NOR cuya salida se encuentra a nivel alto cuando sus entradas están a nivel bajo (AB9 y K6 deben estar a 0; para direccionar la 6532 A9 debe estar a nivel alto). Teniendo en cuenta que A8 (AB8) no está conectado al 6522 ni al 6532 se deduce que estas 2 unidades serán direccionadas de la siguiente forma: 1800 = 1900... 18FF = 19FF (AB8 = 3 X;AB9 = «0»;K6 = «1») para el 6522 y para el 6532: 1A00 = 1B00... 1AFF = 1BFF (AB = X;AB9 = «1»;K6 = «1»). Omitiendo el doble direccionamiento resultante de la expresión A8 = AB8 = X, puede observarse que la PIA y la VIA disponen de 256 direcciones de memoria. Para

1

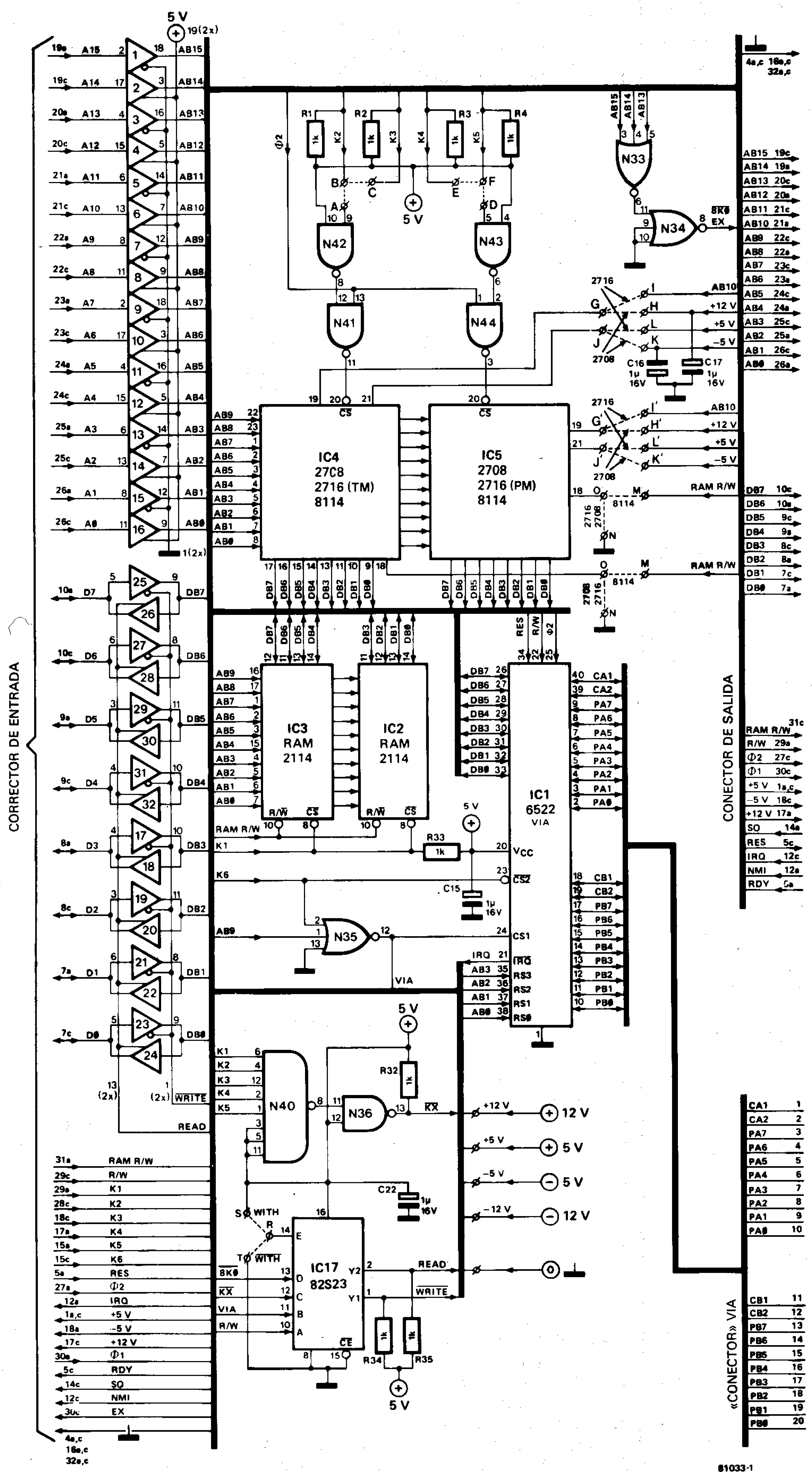


Figura 1. Circuito parcial de la tarjeta de interface. Esta tarjeta proporciona un área de memoria adicional, mayor número de líneas I/0 y un bus de datos y de direcciones controlados mediante buffers.

la PIA 6532 se disponen de 19 emplazamientos de memoria, además de los 128 bytes de memoria RAM. Como puede verse en la figura 1 las líneas de direcciones AB4...AB7 no están conectadas. Es decir sólo hay 16 emplazamientos de memoria para la VIA.

Interface de memoria

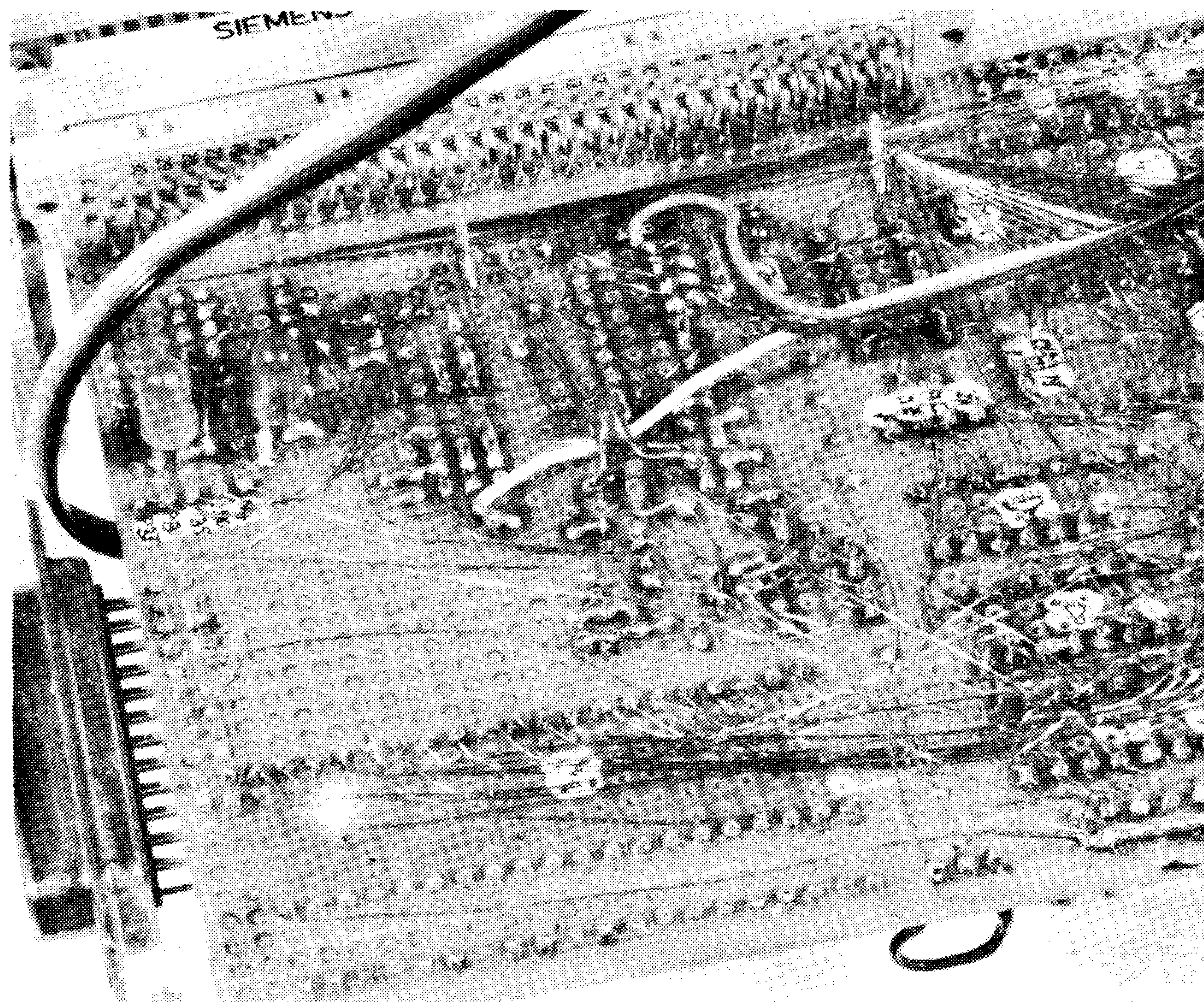
La tarjeta de interface incorpora una memoria suplementaria de 5K, cuyo direcionado se efectúa a través de K1...K5. Con esto la plazca principal utiliza todas sus posibilidades de direccionamiento de memoria (8K).
En primer lugar, el operador dispondrá de 1K de memoria perteneciente a la tarjeta de interface formado por los circuitos integrados IC1 e IC2 (1.024 × 4 bit, cada integrado). Este área de memoria se selecciona cuando K1 = $\overline{CS}$ esté a nivel bajo, y cubre las siguientes direcciones de memoria: Ø4ØØ...Ø7FF.
Disponemos, por tanto, de 4 páginas Ø4...Ø7, que se unen a las 4 páginas ØØ...Ø3 de la versión estandar, lo cual nos permitirá introducir largos programas de una sola vez.
Tanto para IC4 como para IC5 puede elegirse entre 1K de RAM (8114), 1K de EPROM (2708) y 2K de EPROM (2716). La selección de este área de memoria se hace con la ayuda de las señales K2...K5 y la senal de reloj Φ|2 (puertas N41... N44); esta última proporciona la adecuada sincronización para los procesos de lectura y (eventualmente) de escritura en estos circuitos.
El direccionado es el siguiente:

K2 = «0» → direcciones Ø8ØØ...ØBFF
K3 = «0» → direcciones ØCØØ...ØFF
K4 = «0» → direcciones 1ØØØ...13FF
K5 = «0» → direcciones 14ØØ...17FF

En el caso de utilizar un K de RAM (8114) o un K de EPROM (2708) se dispondrá de 2 posibilidades de selección por circuito. Para los 2K de EPROM (2716), se combinan 2 señales «K»: K2/K3 para IC4 (2716-direcciones Ø8ØØ...ØFFF); y K4/K5 para IC5 (2716-direcciones 1ØØØ...17FF).
Para seleccionar estas direcciones, se deberán conectar los puntos A...F de la forma adecuada según la modalidad elegida para IC4 e IC5. Lo mismo sucede con los puntos G...0 y G'...0'. La conexión de estos puntos depende en primer lugar de las tensiones de alimentación seleccionadas, y en segundo lugar de la necesidad de conectar la línea AB1Ø o la señal RAM-R/W.

Decodificación de direcciones

En la versión estandar del Junior Computer únicamente son direccionables 8K de los 64K de memoria disponible. Como puede observarse, no se utilizan las líneas A13...A15, y como resultado el acceso a las páginas ØX (donde X = Ø...F) es idéntico el acceso a las páginas 2X, 4X, 6X, 8X, AX, CX y EX. Igualmente ocurre con la página 1X (donde X = Ø...F), en la que del mismo modo se tiene acceso a las páginas 3X, 5X, 7X, 9X, BX, DX y FX. Esto se debe a que el punto D del decodificador de direcciones IC6 (versión estandar) se encuentra permanentemente conectado a masa con lo que, en cualquier circunstancia, este punto siempre presentará un nivel bajo.
Si deseamos ampliar la capacidad de memoria en más de 5K, será preciso efectuar una decodificación de direcciones que nos permita el acceso a los emplazamientos de memoria comprendidos entre 2ØØØ y 2FFF. Partiendo del hecho de que los 5K de memoria se encuentran en la tarjeta de interface, es necesario preveer una decodificación de direcciones para las posibles tarjetas conectadas a la línea de bus. Si por el contrario se limita el área de memoria a la que se suministra en la placa principal y en la la tarjeta de interface, no será necesario ampliar el sistema decodificador existente.
A continuación veremos el procedimiento para modificar la decodificación de direcciones de la tarjeta principal: en primer lugar habrá que eliminar el puente que conecta el punto D de IC6 a masa (tarjeta principal del Junior Computer), y conectarlo al punto EX (también en la tarjeta principal). Este punto se encuentra conectado a la puerta NOR N34, la cual a su vez está conectada a una segunda puerta NOR (N33). Esta última puerta recibe las líneas de direcciones A13, A14 y A15.
Basta que una de estas líneas se encuentre a nivel alto (1) para que el punto EX, y por tanto, el punto D, pasen a nivel alto. En este caso (EX = 1) ninguna de las líneas KØ...K7 de IC6 podrá pasar a nivel bajo. Cuando estas tres líneas de direccionado se encuentran a nivel bajo, el punto D tomará el mismo nivel, es decir, cero; de esta forma una de las señales KØ...K7 quedará activada. Dicho de otro modo, los emplazamientos de memoria de la tarjeta principal y de la tarjeta de extensión únicamente pueden ser direccionados en las páginas ØX y 1X (donde X = Ø...F). Las páginas 2X y siguientes son direccionadas a través de la tarjeta de bus. Se precisará una decodificación de direcciones suplementaria (ya sea en la tarjeta de bus o sobre las tarjetas a ella conectadas), con el fin de definir el área de memoria comprendido entre 2ØØØ y FFFF.
En la PROM IC17 la señal 8KØ es precisamente la propia señal EX. Esta memoria sólo contine 32 bytes, de los que sólo se usan los dos primeros bits (Y1 = $\overline{\text{WRITE}}$ y Y2 = READ). Estos dos bits controlan los buffers de datos N17...N32. El acceso a estos 32 bytes se efectúa a través de las 5 líneas E...A, sobre las que posteriormente se hablará con mayor detalle.
Como puede verse, el direccionado de la PROM resulta algo complicado; ¿entonces por que no contentarse con la señal R/W al igual que en la placa principal del Junior Computer? Existen dos razones para ello. Veamos la primera. Si se conecta la señal R/W a los puntos READ y $\overline{\text{WRITE}}$ de la tarjeta de ampliación, se validarán los 8 buffers de datos cuya entrada se encuentra en dirección a la tarjeta de interface. En la práctica muchas entradas no están conectadas a ningún circuito, ya que la tarjeta de interface no está direccionada. El estado lógico de estas entradas es por consiguiente aleatorio, y puesto que su salida está activa, es inevitable la aparición de informaciones erróneas en las líneas de datos. De estas consideraciones podemos deducir la necesidad de realizar un control de los buffers pertenecientes al bus de datos, en estrecha relación con el direccionado de cada uno de los circuitos. En el ejemplo dado anteriormente (lectura de datos en uno de los circuitos de la tarjeta principal), la CPU6502 no recisa de ninguna comunicación a través de estos buffer, y por tanto, deben quedar desactivados. Este género de problemas no se presenta cuando se trata de operaciones de escritura en la memoria de la tarjeta principal.
La segunda razón que justifica la presencia de esta memoria PROM es la siguiente: la memorización de los vectores NMI, RES y IRQ se hará ahora en las direcciones



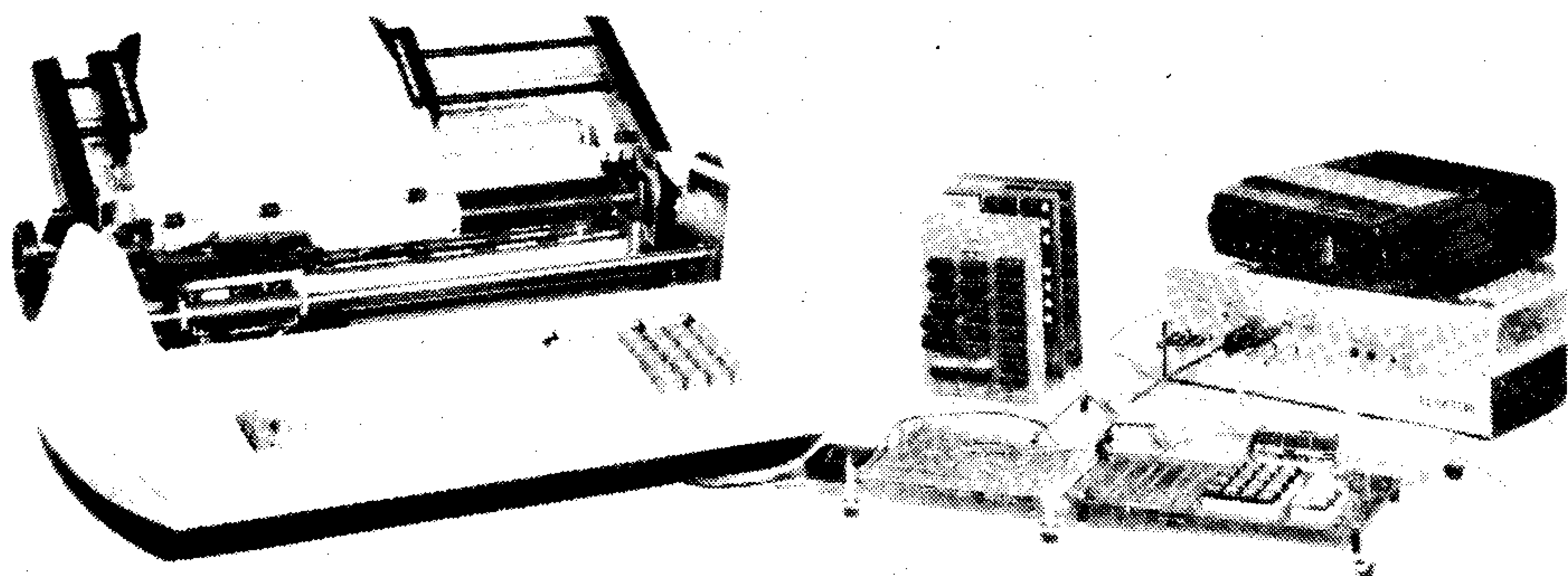
FFFA...FFFF, en lugar de las direcciones 1FFA...1FFF.
Esta medida únicamente tendrá sentido lógico si la página FF se encuentra almacenada en una EPROM (dicha página FF está situada en una tarjeta de RAM/EPROM conectada a la tarjeta de bus).
Nota: siempre que se conecte una tarjeta de memoria a la tarjeta de bus, es preciso que en la página FF de la EPROM se encuentren grabados los vectores correctos, para evitar una duplicidad de direccionamiento, es decir, para impedir que se produzcan igualdades como FF = 1F, etc.
Volviendo a la memoria PROM IC17, las 5 señales a partir de las que se obtienen las señales READ y $\overline{\text{WRITE}}$ Son las siguientes:
1.° La señal R/$\overline{\text{W}}$ (el trazo que figura sobre la W significa «activo a nivel lógico bajo», Ø; su presencia permite evitar cualquier equivocación). Su estado cambia según se desee leer o escribir, respectivamente.
2.° La señal «VIA», que no es otra que la señal CS1 de IC1 y la obtiene de la salida de N35 la cual se encuentra a nivel alto cuando K6 y AB9 están a nivel bajo; es decir, cuando se selecciona la VIA. En el interior de la zona de memoria (1K) decodificada por K6 = «Ø», la PIA está situada por encima de los buffer de datos, y la VIA por debajo de éstos.
3.° La señal $\overline{\text{KX}}$. Esta se obtiene de la salida de N36, cuya activación depende de la salida de N40. Esta estará a nivel bajo cuando una de las líneas K1...K5 esté a 0, es decir, cuando se direccionan algunos de los circuitos conectados a la tarjeta de interface.
4.° La señal $\overline{\text{8KØ}}$ (= EX); esta señal estará a nivel bajo al direccionar el primer bloque de 8K (memoria de la tarjeta principal y de la tarjeta de extensión) y a nivel alto cuando se direcciona la memoria de la tarjeta de bus.
5.° El punto E de IC7 está conectado bien a + 5V (puente RS) o bien al terminal de masa (puente RT). Este punto (E) *deberá estar a nivel bajo* siempre que no se haya conectado ninguna tarjeta de ampliación de memoria a la tarjeta de bus (indicado como

Tabla 1

direcciones de PROM (hex)	E = WITH of WITH	D = 8KØ	C = KX	B = VIA	A = R/W	Y8	Y7	Y6	Y5	Y4	Y3	Y2 = READ	Y1 = WRITE	datos de PROM (hex)
ØØ	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
Ø1	Ø	Ø	Ø	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	1	1	Ø3
Ø2	Ø	Ø	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
Ø3	Ø	Ø	Ø	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
Ø4	Ø	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	1	Ø1
Ø5	Ø	Ø	1	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	1	Ø1
Ø6	Ø	Ø	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
Ø7	Ø	Ø	1	1	1	Ø	Ø	Ø	Ø	Ø	Ø	1	1	Ø3
Ø8	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
Ø9	Ø	1	Ø	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
ØA	Ø	1	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
ØB	Ø	1	Ø	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
ØC	Ø	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	1	Ø1
ØD	Ø	1	1	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	1	Ø1
ØE	Ø	1	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
ØF	Ø	1	1	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
1Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
11	1	Ø	Ø	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	1	1	Ø3
12	1	Ø	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
13	1	Ø	Ø	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
14	1	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	1	Ø1
15	1	Ø	1	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	1	Ø1
16	1	Ø	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
17	1	Ø	1	1	1	Ø	Ø	Ø	Ø	Ø	Ø	1	1	Ø3
18	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
19	1	1	Ø	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
1A	1	1	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
1B	1	1	Ø	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
1C	1	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
1D	1	1	1	Ø	1	Ø	Ø	Ø	Ø	Ø	Ø	1	1	Ø3
1E	1	1	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ
1F	1	1	1	1	1	Ø	Ø	Ø	Ø	Ø	Ø	Ø	Ø	ØØ

Tabla 1. Contenido de la PROM IC17. Este circuito podrá ser programado por el propio lector con la ayuda del programador de PROM publicado en el número de verano de este mismo año (N.° 14/15).

$\overline{\text{WITH}}$ = $\overline{\text{CON}}$; o lo que es lo mismo WITHOUT = SIN). Contrariamente el punto E deberá estar a nivel alto siempre que se conecte una extensión de memoria a la tarjeta de bus (WITH = CON). ¿Pero por qué? Muy sencillo, para reservarse la opción de conectar o no, una ampliación de memoria a la tarjeta de bus.

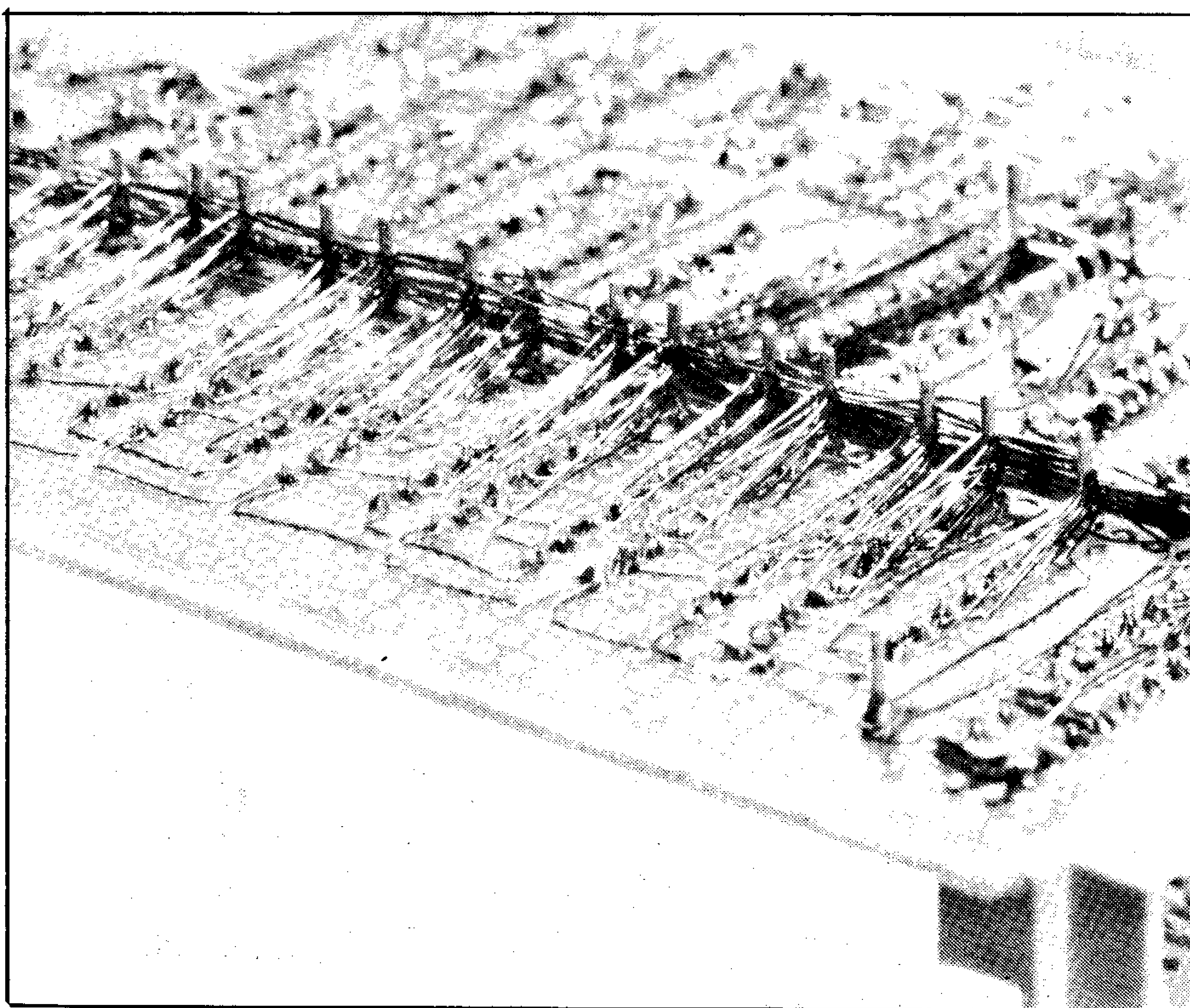


En la tabla 1 se muestra el contenido de la PROM IC17. Los bits Y3...Y8 están a nivel bajo, y por tanto, en este caso no realizan ninguna función. En principio existen 32 combinaciones diferentes, suponiendo que se han seleccionado una de las 3 posibilidades permitidas para las señales READ y $\overline{\text{WRITE}}$. En la práctica, sin embargo, sólo quedan 8 situaciones (siempre y cuando no se establezca diferencia entre los procesos de lectura y escritura):
1.° Escritura o lectura en la memoria de la tarjeta de interface (IC2...IC5). En este caso se validan 8 líneas de los buffer de datos para indicar las direcciones en las que se está realizando la operación de lectura o escritura en las direcciones ØØ y Ø1.
2.° Lectura de la PROM, y lectura o escritura de la RAM, o de la PIA perteneciente a la tarjeta principal. En este caso los buffer de datos quedan inactivos (direcciones de la PROM: Ø4 y Ø5).
3.° Lectura o escritura en la VIA. Puesto que estas operaciones afectan a la tarjeta de interface, deberán activiarse 8 buffers de datos en función de la operación que se vaya a realizar (direcciones de la PROM: Ø6 y Ø7).
4.° Escritura o lectura en la memoria de

la tarjeta de bus (direcciones de la PROM 0C y 0D). Puesto que nuevamente el punto E se encuentra a nivel bajo ($\overline{\text{WITH}}$ = SIN), y teniendo en cuenta que no hay ninguna tarjeta de memoria conectada al bus, los buffers deberán permanecer inactivos, con lo cual los vectores NMI, RES y IRQ quedarán automáticamente definidos por la memoria EPROM situada en la tarjeta de la placa principal de Junior Computer.
5.° Vease punto 1 (direcciones de la PROM: 10 y 11).
6.° Vease punto 2 (direcciones de la PROM: 14 y 15).
7.° Véase punto 3 (direcciones de la PROM: 16 y 17).
8.° Este caso se corresponde parcialmente con el punto 4 (direcciones de la PROM: 1C y 1D). Como en los casos 5...7, el punto E estará a nivel lógico alto (WITH = $\overline{\text{WITHOUT}}$). Esto indica que al menos una tarjeta de memoria debe estar conectada en el bus, y por tanto, deben quedar activados los buffers correspondientes en modo lectura o escritura, según el caso. Los tres vectores NMI, RES y IRQ se encuentran situados ahora en la página FF. Es preciso que esta página se ubique en una EPROM que especificará los datos adecuados para dichos vectores (direcciones FFFA...FFFF).
Finalmente diremos que sólo la mitad de los 32 bytes de la PROM IC17 son realmente necesarios. Los 16 estados lógicos restantes de dicha memoria no juegan ningún papel, puesto que las combinaciones tales como D = $\overline{\text{8K0}}$, C = $\overline{\text{KX}}$ y B = VIA no podrán estar jamás al mismo nivel lógico simultáneamente. En los otros 16 casos, sin embargo, las señales Y1 y Y2 estarán siempre a nivel bajo. Esto nos indica que los buffers de datos se encuentran preparados para una operación de escritura; es decir, totalmente inofensivos.
Con lo explicado hasta aquí se cubren las explicaciones correspondiente a la figura 1. El siguiente apartado tratará el esquema de la figura 2.

Interface de casete

La mayoría de los componentes que se muestran en la figura 2 pertenecen a la interface de cassette. Esta incluye todo lo necesario para transferir datos desde y hacia el grabador de cassette (el software necesario para llevar a cabo esta operación se incluye en este mismo artículo). Durante el proceso de lectura, es lógicamente la cinta el registro emisor de datos, y durante el proceso de escritura es ella la que recibe la información.
Todo este flujo de información circula desde la CPU6502 a través de la línea PB7 situada en el conector de acceso. Durante la grabación de datos, es decir, en el curso del subprograma DUMP/DUMPT (véase la sección del artículo de software que se consagra al programa de «control de cassette»), la línea PB7 trabaja como salida al igual que las líneas PB5 y PB6. La línea PB5 estará a nivel lógico bajo, mientras que la línea PB6 estará a nivel lógico alto. Esto significa que la entrada de la puerta N38 (patilla 8) quedará a nivel bajo y su salida, en consecuencia, a nivel alto (N38 posee salidas en colector abierto, lo que implica una alta impedancia cuando está a nivel lógico alto). Como PB5 está a nivel bajo, el transistor Darlington PNP T3 (conectado a este punto mediante la resistencia R15) se encuentra en estado de corte, lo cual provoca el encendido del LED rojo D5 (OUTPUT ON) y la excitación del RELE Re 2. Los contactos J4 quedan cerrados. Si se conecta en serie con este último (J4) la alimentación del motor del magnetófono (OUTPUT), éste podrá ser controlado por programa (es preciso que se haya preparado anteriormente el magnetófono para la operación de grabación.
Como habíamos dicho, durante este período PB6 está a nivel alto y por consecuencia T2 queda cortado. Esto hace que el LED verde D4 y el RELE Re1 queden inactivos y los contactos J3 abiertos. La salida de la puerta N39 se lleva al potenciómetro P2 (ajuste del nivel de grabación) a través de R20 y C14. La salida de datos se hace a través de J2.
Durante la lectura de datos, es decir, durante el desarrollo del subprograma RDTAPE PB7 funciona como entrada mientras que PB5 y PB6 lo hacen como salidas. En este caso PB5 se encuentra a nivel alto y PB6 a nivel bajo. En esta situación N38 transmite al terminal PB7 la señal invertida procedente de IC7. La puerta N39 lleva esta señal al terminal J2. El LED rojo se apaga, debido a que PB5 se encuentra a nivel bajo y los contactos J4 están abiertos. Por el contrario, PB6 está a nivel bajo, por lo que T2 entrará en conducción, encendiendo el LED verde D4 (INPUT ON) y activando el RELE Re1. Los contactos J3 quedan cerrados (control remoto del cassette INPUT).
No es absolutamente necesario emplear dos cassettes distintos para grabar y reproducir. El control remoto de los no tiene sentido cuando sólo se utiliza un magnetófono; sin embargo, en cualquier caso es, aconsejable montar los dos relés en el circuito impreso. El control de los transistores T2 y T3 asegura una indicación clara y precisa del modo de funcionamiento del circuito: el LED verde se enciende durante el período de lectura de datos (circulación de los datos desde el magnetófono al ordenador). Inversamente, se encenderá el LED rojo durante el período de grabación de datos (circulación de la información desde el ordenador hacia el magnetófono).



A continuación examinaremos la parte del circuito perteneciente a la figura 2 situada entre J1 y la entrada de N38 (patilla 9), es decir, el circuito formado en torno a IC6 e IC7. Para aquellos lectores que hallan tenido alguna experiencia con el KIM es posible que esta parte del circuito les resulte familiar; efectivamente no es un diseño inédito, pues se trata de una parte del circuito KIM, en el que se han introducido algunas mejoras; ¡no se puede inventar la rueda todos los días!
Antes de abordar en profundidad el circuito formado en torno a EC6 e IC7 es conveniente aclarar que los datos binarios se grabarán en la cinta magnética bajo la forma de una señal (rectangular) audible, cuya frecuencia es de aproximadamente 3.600 Hz, alternando con otra señal de la misma forma de onda pero con una frecuencia de 2.400 Hz. La frecuencia de 2.400 Hz se corresponde con el nivel lógico bajo («0»), mientras que la señal de 3.600 Hz se corresponde con el nivel lógico alto («1»). El circuito formado por IC6 e IC7 hace que la salida de este último quede a nivel alto cuando en la entrada J1 aparezca una señal de 3.600 Hz, y a nivel bajo cuando la frecuencia presente en J1 sea de 2.400 Hz. La subrrutina RDTAPE obtiene la información lógica adecuada para el ordenador, a partir de las dos frecuencias citadas anteriormente. El circuito formado en torno a IC6 trabaja como PLL.
Para dar una completa explicación de este circuito harían falta bastantes más páginas de las que ELEKTOR publica a lo largo de todo un año, por tanto, el lector habrá de contentarse con la somera explicación que a continuación daremos.
En lo que concierne a la tarjeta de interfa-

2

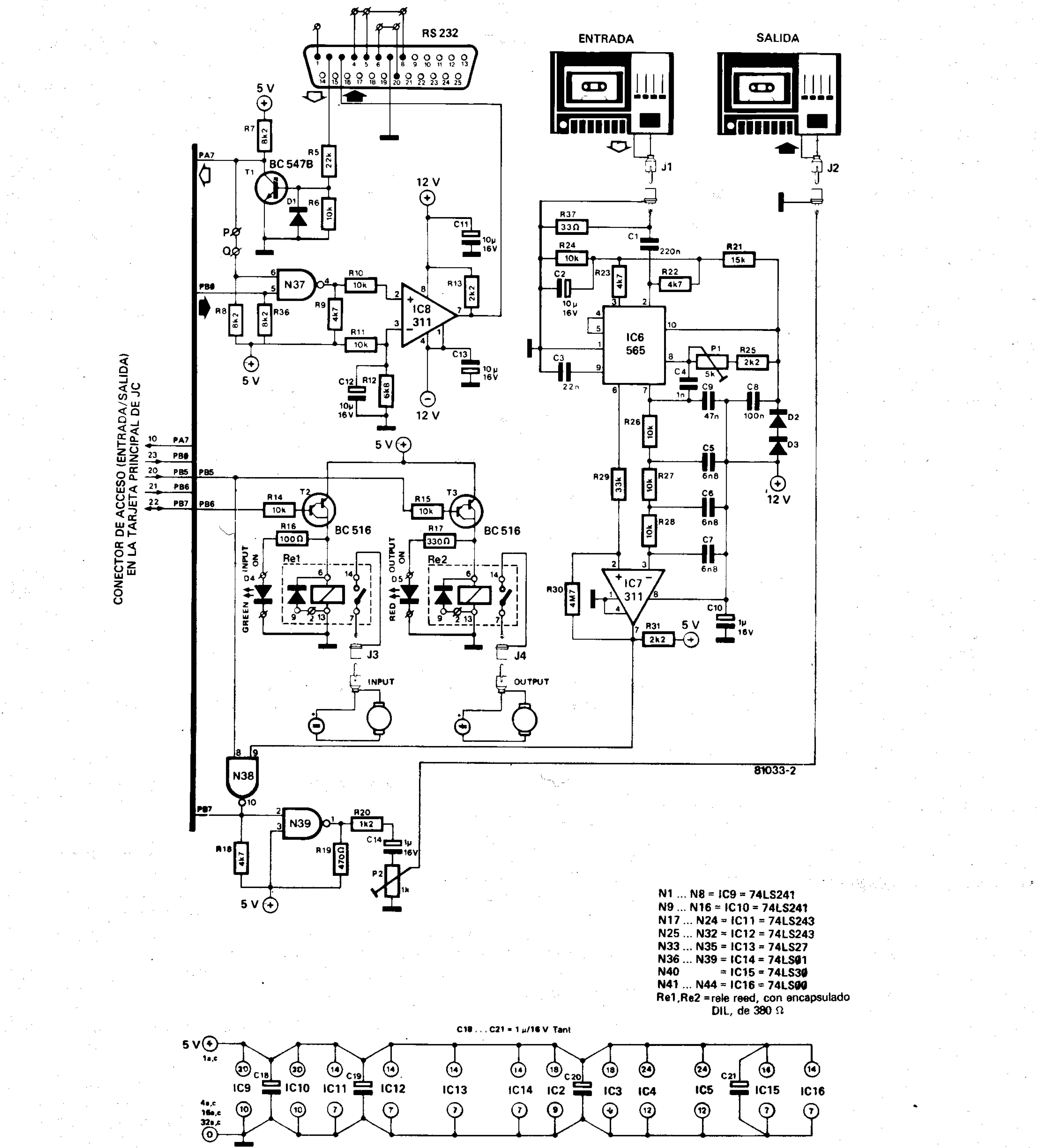
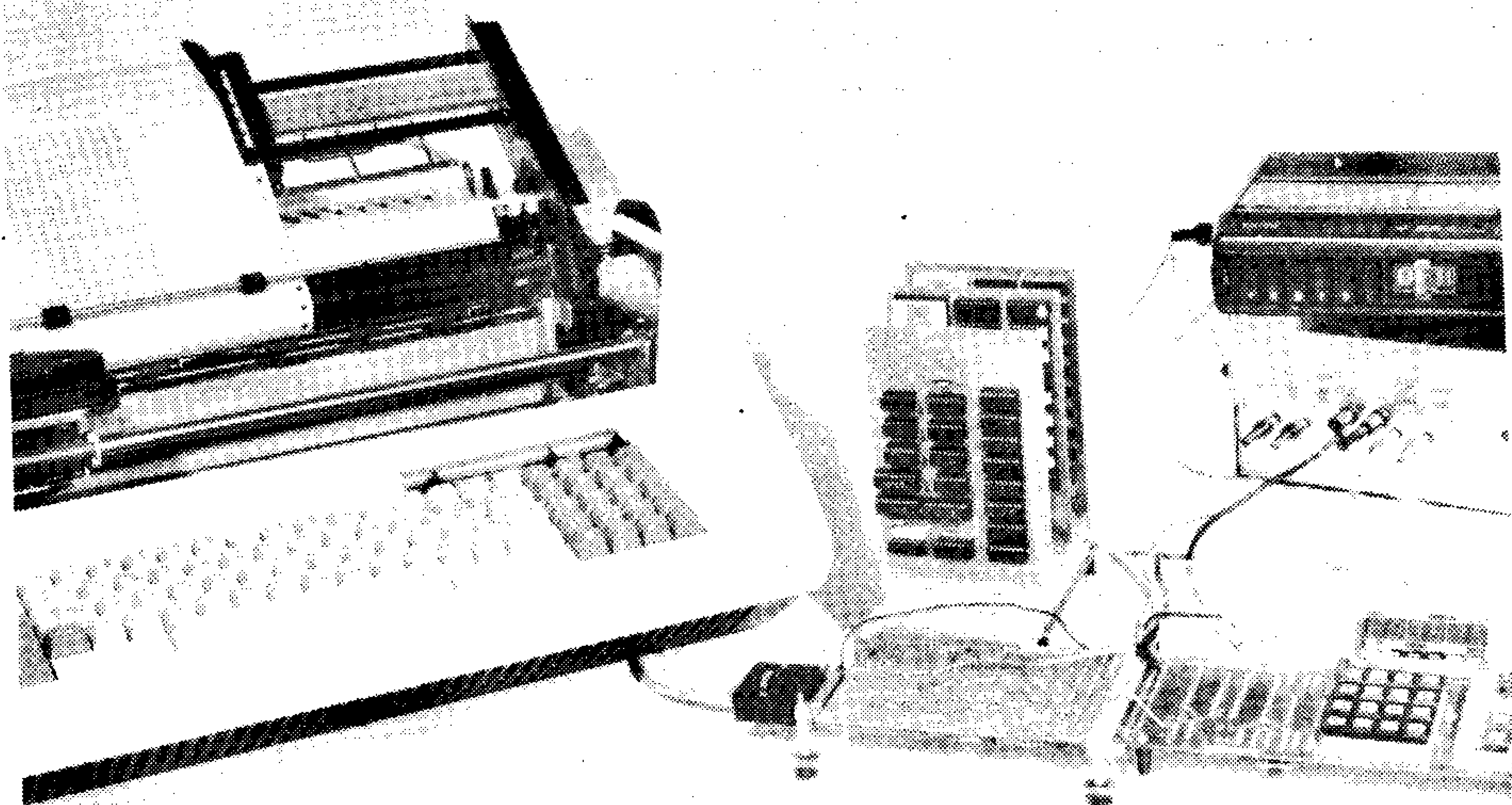


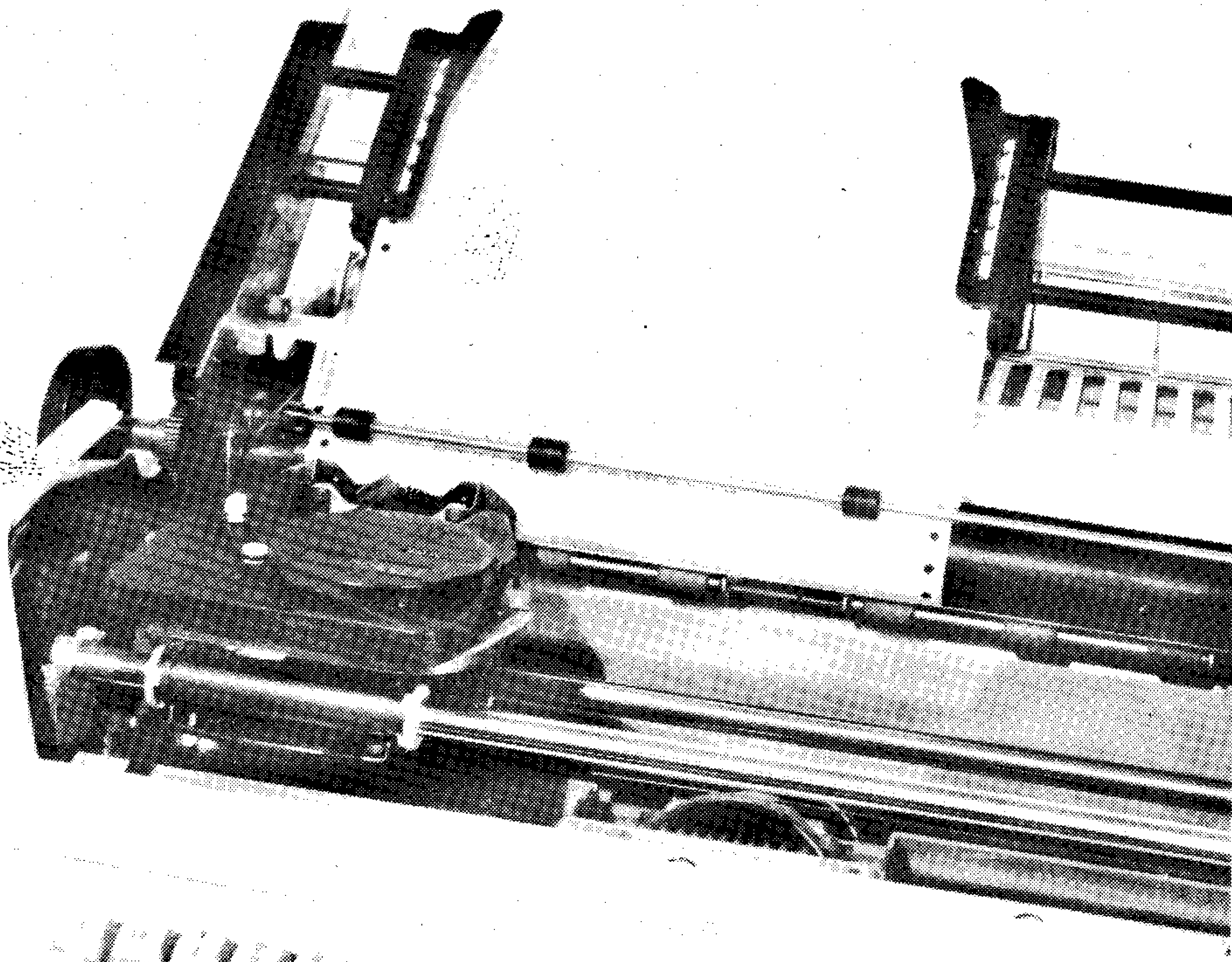
Figura 2. Circuito parcial de la tarjeta de interface. Este circuito incluye un adaptador para línea RS232 y un circuito de interface (entrada/salida) para cassette (puede gobernar dos cassettes separadamente).

ce, puede considerarse al PLL como un *seguidor de frecuencia,* debido a su similitud con los circuitos seguidores de emisor. En este caso la tensión de salida sigue proporcionalmente las variaciones de la tensión de entrada, mientras que en nuestro circuito, es la frecuencia de salida de un oscilador la que varía proporcionalmente a la frecuencia de entrada dentro de unos ciertos límites y por encima del nivel mínimo de la señal de entrada. El oscilador integrado genera una frecuencia proporcional a la tensión de control (VCO). Cuando en la entrada de éste no hay señal de excitación, la frecuencia será aproximadamente 3.000 Hz, es decir, el punto medio entre las dos frecuencias extremas. Cuando la frecuencia presente en la entrada es de 3.600 Hz significa un

aumento de 600 Hz de la señal de salida, mientras que cuando dicha frecuencia es de 2.400 Hz implica una disminución de 600 Hz.
Para que la frecuencia disminuya, es preciso que la tensión de entrada aumente e inversamente para que la frecuencia aumente es necesario que dicha tensión disminuya. El valor de la tensión de control está por consecuencia en función de la tensión presente en la entrada. Comparando estas tensiones con un voltaje de referencia fijo es posible distinguir ambas frecuencias: nivel alto (1) para una frecuencia, y nivel bajo (Ø) para la otra, de acuerdo con el principio de FSK (desplazamiento de frecuencia).
El PLL se alimenta a partir de una tensión de +12 V, que le llega a través de D2, D3 y C8. Este sencillo circuito proteje al PLL contra las tensiones parásitas que habitualmente se producen en las líneas de alimentación. Los 12 voltios estabilizados (aunque en realidad son aproximadamente 11 V debido a la caída en los diodos) se emplea igualmente para fijar las tensiones de entrada de IC6 (patillas 2 y 3) mediante las resistencias R21...R24. Contrariamente en el circuito KIM se emplea una tensión de alimentación de 5 V, que carece de célula de protección contra las tensiones parásitas, por lo que éstas pueden alegremente introducirse en las entradas (teóricamente equilibradas) del PLL. Otra diferencia que distingue a nuestro circuito del KIM se observa en que la señal de entrada de este último no se atenúa hasta que se alcanza la patilla 2. Todas estas mejoras facilitan el trabajo del equipo y evitan gran cantidad de errores en los procesos de grabación y reproducción. Resulta bastante difícil que se produzcan errores de lectura o grabación (debidos al circuito electrónico), a no ser que la calidad de la cinta utilizada sea dudosa o que la cabeza de grabación esté mal ajustada o simplemente sucia. Para dar una idea de las prestaciones de nuestro sistema, diremos que en una ocasión tras realizar una grabación correcta de datos, con la consiguiente reproducción, observamos que la conexión de masa entre el ordenador y el magnetófono ¡estaba interrumpida, es decir, el sistema posee una alta inmunidad contra los parásitos.

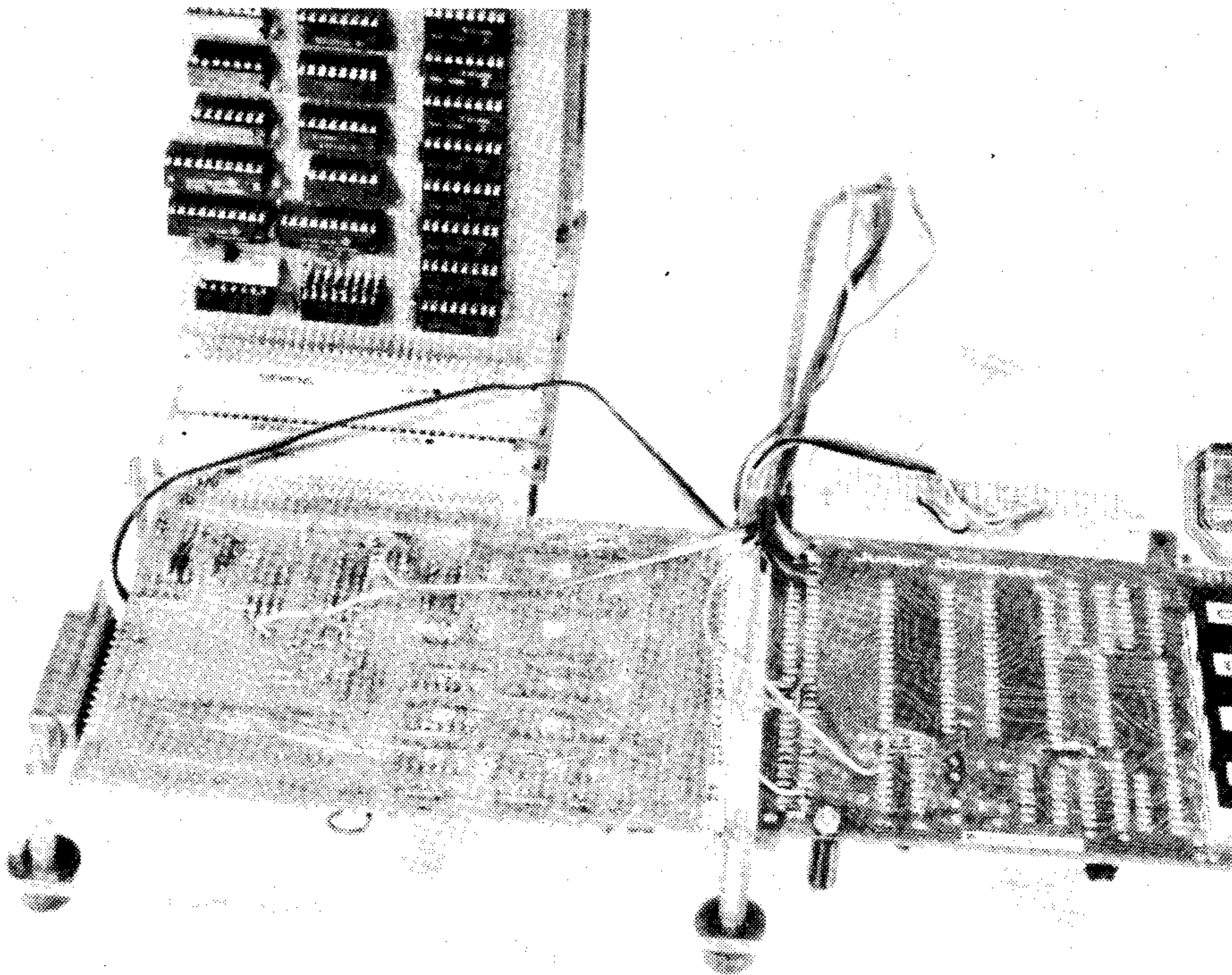


De las entradas 2 y 3 de IC6 únicamente se utiliza la primera (control asimétrico). La conexión con la entrada J1 se hace a través del condensador C1, cuyo valor es netamente inferior al utilizado en el circuito del KIM, con el fin de filtrar al máximo las frecuencias parásitas inferiores a 2.400 Hz.
La resistencia R37 es necesaria para poder utilizar la salida de altavoz o la salida de auricular.
C3, R25 y P1 varían la frecuencia del VCO en ausencia de señal de entrada, es decir, su valor determina dicha frecuencia. El ajuste de P1 determinaraá a su vez la calidad y fiabilidad del proceso de lectura. En el tercer libro se darán diversos métodos para obtener el ajuste óptimo. La patilla 7 de IC6 constituye la salida del PLL. Esta proporciona la tensión de control citada anteriormente para asegurar que la frecuencia del VCO es proporcional a la señal de entrada. Esta patilla está conectada a la tensión de +12 V através del condensador C9. El cual, junto con la resistencia de 3K6, situada en el interior del circuito integrado, constituye el bucle de filtro. Esto es de gran importancia puesto que favorece el buen funcionamiento del PLL cuando se producen variaciones de frecuencias en la entrada. La salida del PLL se conecta a través del filtro formado por R26...R28/C5...C7 a la entrada inversora del comparador IC7, cuya entrada no inversora recibe la tensión fija entregada por IC6 (patillas 6) mediante R29.



El valor dado a los componentes de este filtro depende de la velocidad con que se sucedan las frecuencias de 3,6 Hz y 2,4 Hz, lo que a su vez viene determinado por la velocidad de transmisión, es decir, la velocidad con que se leen o escriben datos en la cinta. Este factor se conoce habitualmente como velocidad de transmisión (baud rate), y expresa el número de bits transmitidos o recibidos por segundo (la unidad empleada para expresar este parámetro es el Baudio). En la interface cassette del Junior Computer se emplea una velocidad de transmisión de 800 Baudios.
Como habíamos visto anteriormente si la frecuencia del VCO aumenta a 3.600 Hz, la tensión de salida (patilla 7) disminuirá, y que si dicha frecuencia se hace de 2.400 Hz, la tensión de salida aumentará. De esta forma, según sea la tensión presente en la entrada de IC7, superior o inferior a la tensión de referencia presente en la entrada no inversora, se obtendrá a la salida de IC7 un nivel lógico alto (+5 V a través de R31) cuando la frecuencia de entrada sea de 3.600 Hz y un nivel lógico bajo (prácticamente masa) cuando la frecuencia de entrada sea de 2.400 Hz, que era precisamente lo que se deseaba obtener. N38 se encarga de invertir la tensión entregada por IC7, y de

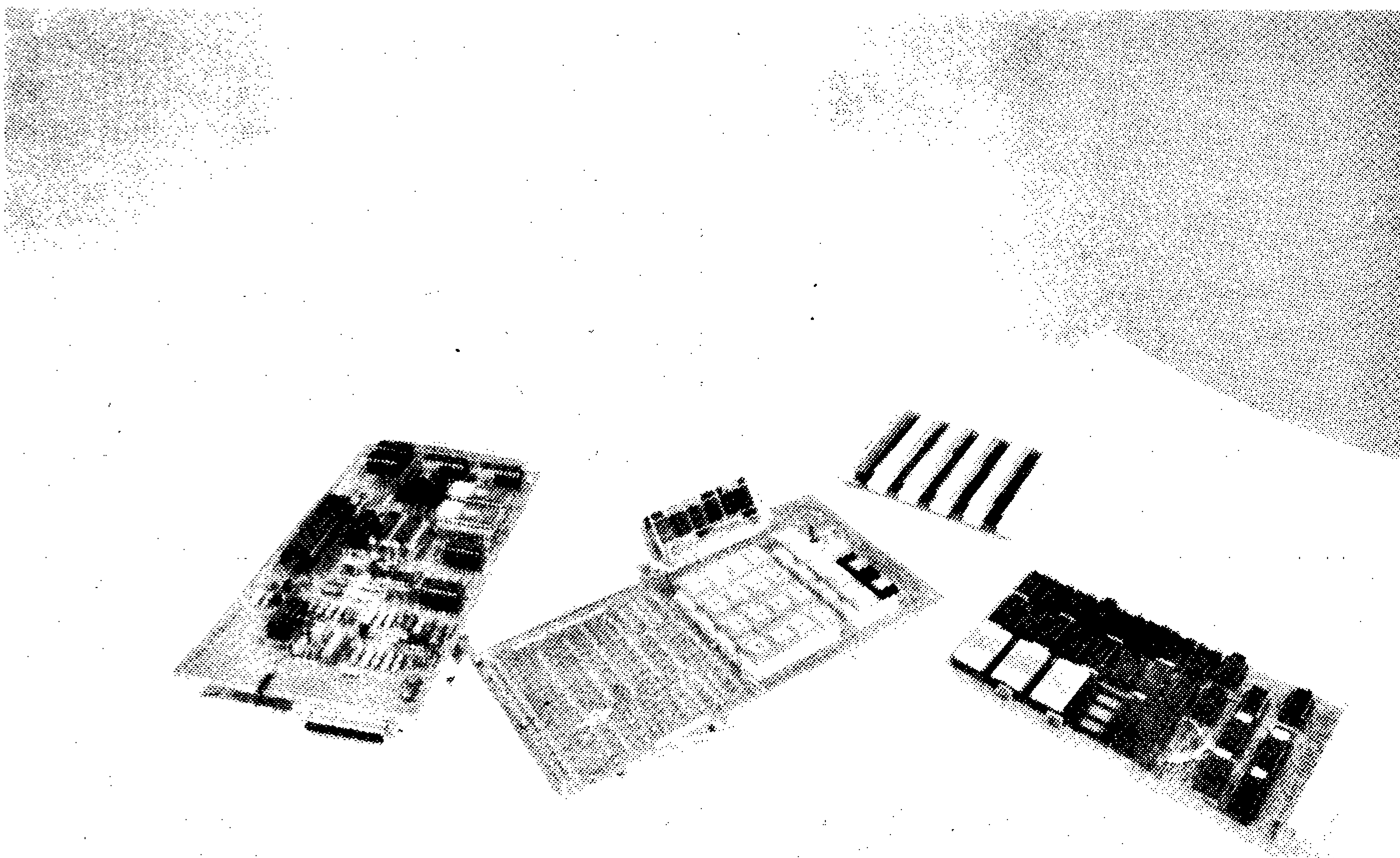
aplicarla a la entrada PB7.
Nota: puesto que el PLL posee una limitación de velocidad ante los cambios de frecuencia, la salida de IC7 sólo basculará una vez de 1 a 0, o de 0 a 1 cuando la variación de frecuencia esté dentro de los límites permitidos por el PLL. Sin embargo, se producen un cierto número de fluctuaciones antes de establecerse el nivel lógico definitivo, lo que se conoce con el nombre de «rebote de PLL» y es perfectamente comparable con el rebote mecánico producido en los interruptores. Pero esto no representa ningún problema puesto que la subrrutina RDTAPE elimina cualquier error de transmisión debidos a este fenómeno.

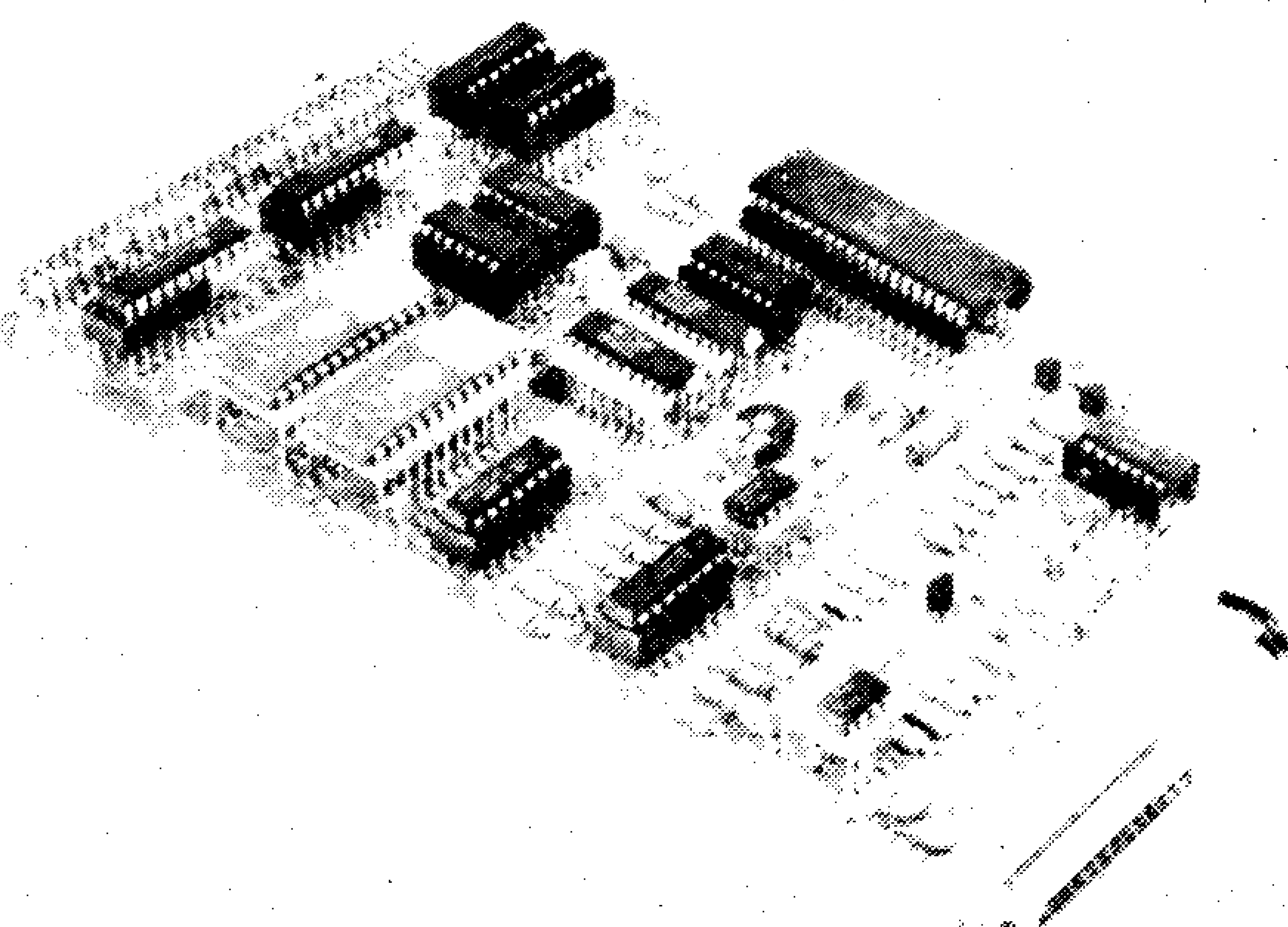


Conexión de periféricos a través de una interface RS232C

El circuito que permite conectar los periféricos puede considerarse modesto (parte superior derecha de la figura 2) en relación a las enormes posibilidades que éste ofrece. Se trata de un receptor y de un emisor de datos. La línea de acceso PA7 trabaja como entrada y la línea PB0 como salida. El receptor de interface está compuesto por el transistor T1 y sus componentes asociados. Como claramente puede verse en el circuito este transistor invierte las señales que le llegan a través de la resistencia R5.
Suponiendo que la patilla 6 de N37 se encuentra al potencial de + 5 V (debido a R8), y haciendo caso omiso del efecto producido por el puente PQ, podemos observar que N37 invierte la señal procedente de PBØ mientras que su salida controla el comparador IC8 a través de la resistencia R10, con lo cual se establece una comparación entre las tensiones presentes en la unión de R11/R12 y C12. Si la salida de N37 pasa a nivel alto, la salida de IC8 pasará a valer + 12 V, y -12 V cuando N37 esté a nivel bajo. Nuevamente podemos comprobar que la señal de salida PBØ queda invertida sin tener en cuenta la adaptación de los niveles lógicos a unas ciertas tensiones (+ y -12 V).

La entrada (via R5) y la salida (IC8), se llevan a un conector normalizado del tipo D (25 patillas) conocido como conector RS232. Este número corresponde a la norma particular de los procesos de transmisión seriada de datos. Cada octeto viene precedido por un bit de comienzo, que indica la inminente llegada de una palabra lógica. Los octetos están codificados en formato ASCII. La norma RS232 impone dos valores de tensión relativamente precisos para definir los niveles lógicos. El nivel lógico bajo (0) viene definido por una tensión comprendida entre + 5 V y + 15 V (versión RS232C) y el nivel alto por una tensión comprendida entre -5 V y -15 v. En el Junior Computer estas tensiones son aproximadamente de + y -12 V. En otras palabras, la tensión inferior se corresponde con el nivel alto, y la tensión superior con el nivel bajo. Esto se conoce como lógica negativa. Sin embargo, puesto en nuestro sistema de interface los niveles lógicos quedan invertidos tanto en emisión como en recepción, el computador no apreciará variación ninguna.
El conector D incorpora un cierto número de puentes internos, los cuales pueden variar según la disposición de patillas de los periféricos utilizados. El primero de que nos viene a la mente es sin duda el Elekterminal, un terminal de vídeo con teclado ASCII, adaptable a cualquier microprocesador y en especial al Junior Computer. El diseño del programa residente PRINTER MONITOR se ha realizado pensando en la utilización de un teclado ASCII (con sus funciones de control) como terminal de entrada; y como terminal de salida el Elekterminal o una impresora adecuada.
Y hasta aquí la descripción del circuito de esta magnífica tarjeta de extensión. El único punto que aún queda por pasar revista, es la fuente de alimentación «actualizada» del Junior Computer, así como algunos detalles y modificaciones de la placa principal. Para todo esto se ha previsto la publicación de un artículo en el próximo número de Elektor.





software sofisticado para el Junior Computer

dos kilos de materia gris listos para su uso

En este artículo se presentan dos programas imprescindibles para la explotación exhaustiva de todo microcomputador. En primer lugar trataremos sobre el programa denominado «TAPE MANAGEMENT», encargado de efectuar las operaciones de lectura y escritura de datos en una cinta de cassette.
El segundo programa es el «PRINTER MONITOR», que proporciona las líneas básicas de comunicación entre el Junior Computer y el Elekterminal o una impresora.
El programa de gestión de cinta (tape management) asigna cuatro nuevas funciones al teclado básico del Junior Computer; mientras que el programa de presentación de datos (print monitor) asigna diez funciones especiales al teclado del terminal o de la impresora.
Este artículo es, en realidad, una breve introducción al software que se desarrolla en profundidad en el libro 3.

Es lógico que aquellos lectores ya iniciados en la programación del Junior Computer se encuentren impacientes por conocer la interface de cassette que les permitirá introducir largos e interesantes programas.
Y, por fin, ya está aquí (ver artículo anterior) la tarjeta de ampliación que nos permitirá introducir programas en la memoria del ordenador desde la dirección Ø2ØØ hasta Ø7FF de una sola vez; es decir 1536 octetos, por lo que habrá de tenerse especial cuidado en la programación e introducción por el teclado de los datos; aunque esto ya no es un problema, porque con una sola introducción válida es suficiente, ¡el cassette hará todas las demás perfectamente!

El cassette

Para poder utilizar la «RAM magnética» que se nos ofrece a través de la interface de cassette, bastará con disponer de un grabador/reproductor de tipo corriente (mono) y algunas cintas de cassette C-60. Contando con que haya 3 o 4 minutos de pausa al comienzo y final de cada programa, quedan aún 25 minutos para los datos propiamente dichos. Si suponemos una velocidad de transmisión de 50 octetos por segundo (más adelante volveremos sobre este tema), la capacidad total de una cinta normal de cassette será aproximadamente de $25 \times 60 \times 50$ octetos, es decir nada más y nada menos que 73 kilo-octetos (1 kilo = 1.024 octetos) ¡verdaderamente impresionante para un simple cassette! No cabe duda de que sería difícil encontrar un sistema para almacenar datos más sencillo y barato que el propuesto.

¿Cómo se almacenan los datos en la cinta?

En la figura 1 se muestran los diagramas necesarios que nos permiten comprender fácilmente la distribución de los datos sobre la cinta magnética, una vez grabados. Estos datos pueden ser tanto programas completos como bancos de datos aislados, así como cualquier otra información procedente del microprocesador (tablas, textos, programas, etc.). En general y para entendernos hablaremos de bloques de datos para referirnos a la información grabada sobre la cinta.
Examinemos en profundidad la figura 1:
1) En primer lugar aparecen 255 caracteres de sincronización: estos datos tienen la misión de distinguir el comienzo efectivo de un bloque de datos, de las demás informaciones presentes en la cinta; en otras palabras es inútil intentar que el ordenador «digiera» las primeras palabras que pronunció su «nene», o el último éxito musical del momento. Por supuesto pasarán igualmente desapercibidos para el computador comentarios del género: «éste es mi primer programa grabado en cassette», ¡el Junior Computer es muy rápido, pero de ahí a ser un políglota hay mucha diferencia!
Nota: Toda la información grabada en la cinta magnética está en formato ASCII (palabras de 8 bits). El último (o primer) bit de la izquierda está reservado para funciones especiales: en este caso particular su valor es 0. Los bits de un octeto codificado en

1

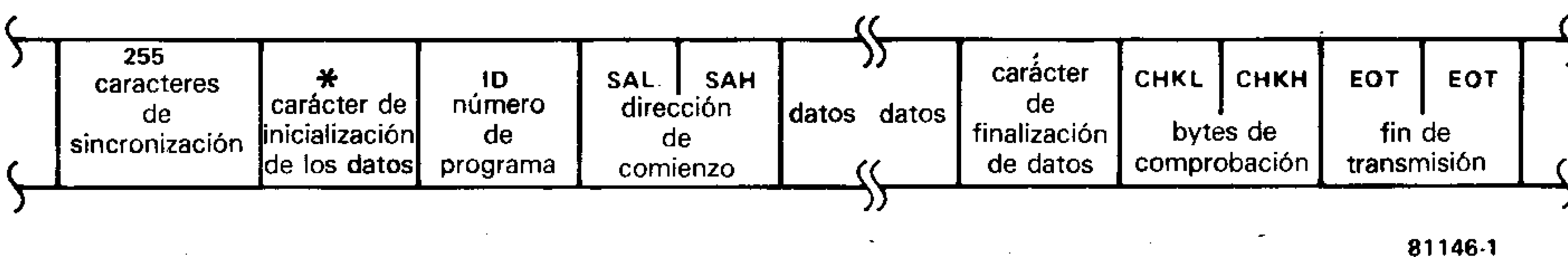


Figura 1.—En el diagrama se presenta la configuración de un bloque de datos tal y como se grabará en la cinta: en la parte central figuran los datos propiamente dichos, precedidos por 255 caracteres de sincronización, el carácter de comienzo, el número de identificación, y la dirección de comienzo. Tras el conjunto de datos propiamente dicho figura el carácter de fin de datos, los octetos de control y dos octetos que indican el final del mensaje.

formato ASCII se almacenan en la cinta magnética uno tras otro, es decir en serie. El código ASCII de un carácter de sincronización en base hexadecimal es 16.

2) El carácter de comienzo «*»: este dato indica que se ha concluido la serie de caracteres pertenecientes a los datos de sincronización, y que a continuación comienza el bloque de datos propiamente dicho (código ASCII hexadecimal 2A).

3) El número de programa ID: Este dato permite diferenciar los distintos programas grabados en la cinta. Existen 254 números de identificación posibles, es decir todos los valores comprendidos entre Ø1 y FE. Los valores ØØ y FF quedan reservados para unas funciones especiales, y más adelante se darán amplias explicaciones sobre este tema. El efecto de dichas funciones tiene lugar durante el proceso de lectura.

4) El byte de dirección de peso bajo SAL: este dato corresponde a la primera dirección de memoria del programa o del bloque de datos que se desea transferir.

5) El byte de dirección de peso alto SAH.

6) El bloque de datos propiamente dicho: cada octeto de datos se transcribe en dos octetos ASCII, es decir un carácter ASCII para cada cuatro bits. En otras palabras, cada dato grabado en la cinta magnética vendrá representado por una sucesión de 16 bits. Se comienza por el octeto que figura en la dirección de comienzo (SAH, SAL) y se termina después del octeto que figura en la dirección EAH, EAL menos uno.

7) El símbolo «/» indica el final de la transmisión de datos (ASCII: 2F).

8) Los octetos de control CHKL y CHKH: que tienen la misión de asegurar una lectura o escritura correcta de los datos, y su función específica consiste en verificar que una cierta transmisión de datos se ha efectuado correctamente y sin errores. Como es sabido los procesos de grabación de datos en cinta magnética están sujetos a errores de lectura o escritura tales como la pérdida (o la inclusión) de información. En nuestro caso este fenómeno se ha minimizado gracias a el PLL perfeccionado. Sin embargo, es necesario comprobar si no se ha perdido algún bit durante el proceso. Para ello, la solución más sencilla de todas y a la vez la más efectiva, es contar los bits *uno a uno,* como haría todo pastor, que se precie, con sus ovejas.

Cuando se comienza el proceso de escritura de un bloque de datos, los emplazamientos bytes se ponen a cero. Seguidamente se suman los octetos a partir de la dirección SAL (esto tiene lugar antes de la transcripción al código ASCII). Lógicamente para realizar esta suma no se tiene en cuenta el número de identificación de programa (ID). Cada vez que el contenido de CHKL alcanza el valor FF, el contenido de CHKH se incrementa en una unidad; similarmente cuando este último alcanza el valor FF ambos bloques se ponen a cero comenzando nuevamente el proceso desde el principio. Cuando se realiza un proceso de lectura de datos, se procede exactamente de la misma forma. O sea basta comparar los resultados de las dos operaciones (lectura y escritura) de cuenta: la suma de los octetos durante la escritura ha de ser igual a la suma de los octetos durante la lectura, y viceversa. En caso afirmativo es lógico pensar que la transmisión de datos se ha efectuado correctamente. En el caso contrario, es evidente que ha habido algún error de transmisión, para lo cual la única solución consiste en volver a realizar el proceso de transmisión, ya sea de lectura o de escritura. Llegados a este punto podríamos realizar una amplia exposición de datos estadísticos, teoría de la información, y otras sutilezas, referentes a los errores de transmisión de datos, sin embargo creemos que hay otros temas más interesantes y amenos para el lector, y sobre todo, ¡no queremos que nuestros lectores abandonen la lectura del artículo tan pronto! Es conveniente aclarar que la codificación de los datos en formato ASCII, que hemos citado anteriormente, tiene su justificación como veremos más adelante.

Tomemos el ejemplo de un banco para ilustrar todo lo anterior: de todos es conocido el interés de estas instituciones por el dinero bajo su custodia. Mal negocio sería que un ladronzuelo se dejara encerrar en el banco justo antes de la hora de cerrar, para salir de su escondite a la mañana siguiente con una buena parte de los caudales, tan celosamente guardados, bajo el brazo. ¿Cómo hacer para evitar tal eventualidad? El método más simple y además el que se nos ocurre en primer lugar, sería contar los visitantes del banco desde la hora de apertura hasta la hora de cierre: si el número de clientes que han entrado no es igual al número de clientes que ha salido, es evidente que algo anda mal. Sin embargo, este sistema presenta algunos inconvenientes.

El primero de ellos se refiere sencillamente al sistema de cuenta, puesto que no se puede considerar demasiado fiable, por otra parte; supongamos que dos personas pasan exactamente en el mismo instante por delante del detector situado en la puerta de entrada: en este caso el contador sólo registrará la entrada de un cliente.

En el desafortunado caso de que varios de estos inconvenientes se presentaran al mismo tiempo podría dar como resultado una indicación de normalidad absoluta debido a la anulación de unos errores con otros. Pero volviendo a los octetos de control CHKL y CHKH. Nuestro sistema de contar los bits sumándolos resulta ser un método seguro, existiendo pocas posibilidades de que se presenten todos los inconvenientes que acabamos de ver.

9) Dos caracteres de fin de emisión EOT: es preciso aclarar que estos caracteres marcan el final de la transmisión de un bloque eliminando todo tipo de ambigüedades (código ASCII: Ø4).

¿Cómo escribir datos en la cinta magnética?

Como ya dijimos anteriormente, los datos se transmiten bit a bit. Para comprender el ejemplo veamos la figura 2. En dicha figura aparecen trenes de impulsos largos (frecuencia elevada) y trenes de impulsos cortos frecuencia ligeramente inferior). Un bit de nivel lógico alto está formado por tres semiperíodos de 3.600Hz y 4 semiperíodos de 2.400Hz (2 en la figura 2 a). Un cero lógico está formado por seis semiperíodos de 3.600Hz y 2 semiperíodos de 2.400Hz. Como puede verse, la longitud total del tren de impulsos queda invariable, o lo que es lo mismo, tiene la misma duración tanto si se trata de un nivel lógico alto como bajo (es decir 9T, donde T es igual a la duración de un semiperíodo de 3.600Hz). Es de hacer notar que en ambos casos (1 o 0) se comienza el tren de impulsos con una frecuencia elevada. La relación de duración entre las frecuencias alta y baja es de dos a uno, y uno a dos, respectivamente. En la figura 2 se muestra la forma en que se desarrollan estos procesos en el KIM. Debido a la amplitud del gráfico ha sido preciso dividir éste en varias líneas, de modo que para recorrerlo completamente será preciso seguir la flecha. En este caso un bit de nivel lógico alto está constituido por 9 períodos completos de 3.700Hz (en nuestro caso hemos redondeado a 3.600Hz) más 12 períodos completos de 2.400Hz. Un bit de nivel lógico bajo está formado por 18 períodos completos de 3.600Hz, junto con 6 períodos de 2.400Hz. De estas cifras podemos deducir que la duración de un bit en el sistema KIM es 6 veces superior a la del Junior Computer.

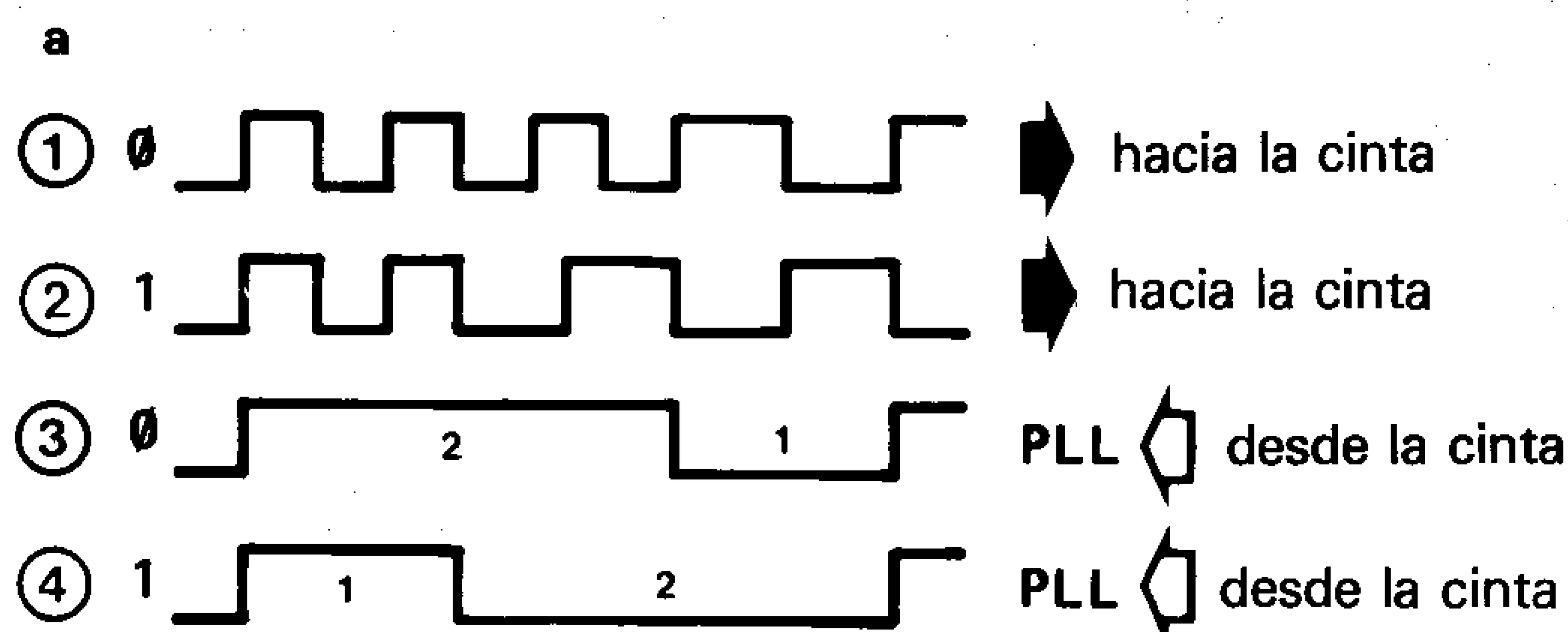
Pero como nada es irreversible, existe ya un programa de sarrollado por J. Butterfield, y denominado HYPERTAPE, que permite aumentar sensiblemente la velocidad de transmisión, haciendo iguales las duraciones de los bits en el KIM y el Junior Computer. La rutina de escritura DUMP/DUMPT (subprograma de escritura de datos) del Junior Computer, difiere en varios puntos del HYPERTAPE. Sin embargo no examinaremos ninguno de estos puntos en este artículo, puesto que ello nos llevaría demasiado tiempo, razón por la

cual se deja este tema para el libro 3, en el que se le dedican varios apartados.
Como dijimos anteriormente la duración de un bit en el programa de gestión de cassette del Junior Computer es de 9 semiperíodos de la frecuencia 3.600Hz, o sea $9 \times 139 = 1.250$ microsegundos. Es decir, 800 bits (y, por tanto, 100 caracteres ASCII) o 50 octetos de datos por segundo.
La escritura de datos en la cinta magnética se efectúa mediante la rutina DUM/DUMPT, que más adelante explicaremos. Durante la operación de escritura los 6 visualizadores presentes en la tarjeta principal del Junior Computer quedan apagados. Para realizar la citada operación de escritura es preciso indicar los siguientes datos:
a) El número de programa ID (Ø1...FE; ØØ y FF están destinados a una función particular sobre la que posteriormente hablaremos).
b) Dirección de comienzo SA.
c) Dirección final EA.

¿Cómo leer datos en la cinta magnética?

Volviendo a la figura 2a, podemos encontrar las señales tal y como aparecen a la salida del PLL. Dicho circuito entra en funcionamiento cuando se efectúa un proceso de lectura de datos en la cinta, ya hemos visto en el artículo dedicado a la tarjeta de ampliación cómo se realiza el paso de 1 a 3 y 2 a 4 de la figura 2 a. La señal obtenida a la salida del PLL muestra claramente la obtención de las relaciones 2:1 y 1:2. Siguiendo la duración de los impulsos de salida del PLL (nivel alto o nivel bajo), la rutina de lectura deducirá los bits de nivel alto o nivel bajo correspondientes. Aquí no juegan ningún papel las duraciones absolutas de los niveles altos o bajos; en nuestro caso el dato significativo lo representa la relación entre las duraciones de dichos niveles: ¿es la duración de la señal de 3.600Hz (PLL alto) notablemente superior a la duración de la señal de 2.400Hz (PLL bajo), o sucede lo contrario? Cuando la señal de 3.600Hz es más larga que la de 2.400Hz nos encontramos ante un nivel lógico bajo, y en el caso contrario (duración de la señal de 3.600Hz. inferior a la de 2.400Hz) se trata de un nivel lógico alto. Puesto que las duraciones absolutas no presentan demasiada importancia, es posible conectar el Junior Computer a un sistema lector de datos preparado para el KIM, es decir nuestro sistema no apreciará la diferencia de duración, puesto que como hemos dicho antes esto tiene una importancia secundaria en lo que concierne a la identificación de los datos. Como puede verse claramente, las señales 3 y 4 de la figura 2a son del mismo tipo que las señales 3 y 4 de la figura 2b, aunque como puede apreciarse el período de las últimas es 6 veces superior al de las primeras. Este punto representa una gran ventaja aun para aquéllos que no hayan tenido ocasión de trabajar con el KIM: el sistema de las duraciones relativas impide que las variaciones de la velocidad del cassette, (normalmente 4,75 cm/s) durante los procesos de lectura o escritura modifiquen la información transmitida; en otras palabras la transmisión

2



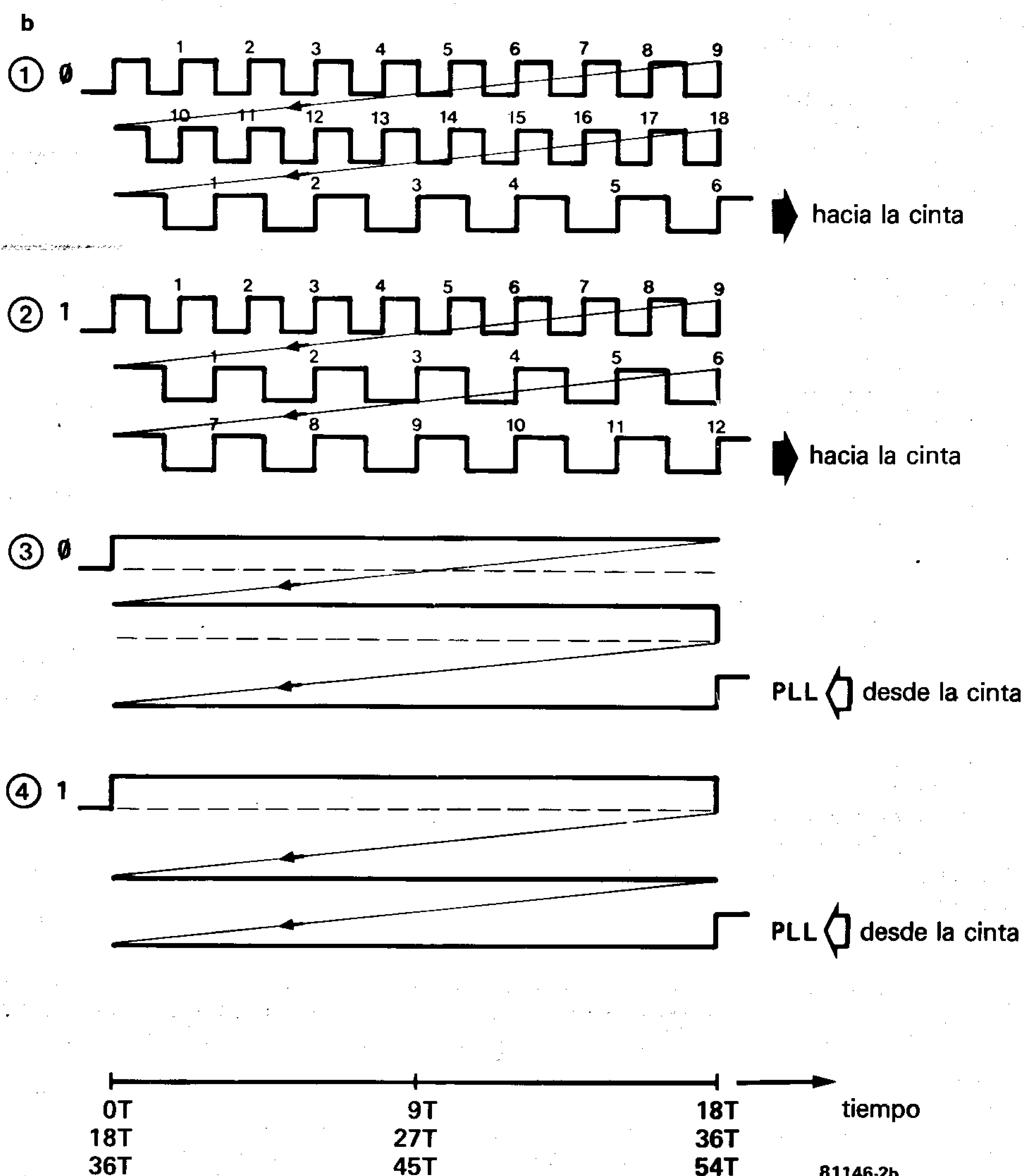


Figura 2.—Los datos se graban en la cinta bajo la forma de señales audibles. Los cuatro primeros trenes de impulsos pertenecen a la interface de cassette del Junior Computer, mientras que los 4 últimos pertenecen al KIM. Como puede verse existe una gran diferencia entre ambas señales, aunque éstas realizan la misma función. Como puede observarse, ha sido necesario recortar los trenes de onda pertenecientes al sistema KIM con el fin de poderlo representar en nuestro dibujo.

siempre se realiza con la misma calidad. Esto nos permite un amplio margen en la elección de los magnetófonos así como en las cintas. El típico efecto de «lloro» que generalmente se produce en los reproductores de cassette, es ampliamente ignorado por nuestro sistema, puesto que las relaciones 2:1 (nivel lógico Ø) y 1:2 (nivel lógico 1) son suficientemente diferentes como para evitar confusiones.

Nota: Durante una operación de lectura de datos, pasan desapercibidos los «rebotes» del PLL (véase en el artículo anterior correspondiente a la descripción de este circuito).

El proceso de lectura se realiza mediante la rutina RDTAPE, a la que se accede mediante el programa TAPE MANAGEMENT (gestión de cinta). Es conveniente conocer lo que sucede durante un proceso de lectura: los dos dígitos de la derecha correspondientes al visualizador de la placa principal del Junior Computer nos proporcionarán las indicaciones necesarias para seguir dicho proceso (los 4 restantes quedan apagados).

El diagrama 1 representado en la figura 3 aparece cuando:

a) La cinta que desfila ante la cabeza de lectura (magnetófono en modo lectura) no contiene ninguna información aceptable para el Junior Computer (por ejemplo, espacio entre dos bloques de datos, cinta virgen, o la última grabación del conjunto de moda, etc.). En este caso el visualizador (D5 y D6) lucirá de modo intermitente.

b) La cinta contiene un bloque de datos, y se está leyendo un punto cualquiera de dicho bloque, sin embargo no se ha leído el comienzo del bloque o el número de identificación no corresponde al especificado por el usuario. En este caso, los dígitos D5 y D6 quedarán constantemente encendidos. La situación 2 de la figura 3 se presenta cuando el microprocesador se encuentra en fase de sincronización, es decir durante la lectura de los caracteres de sincronización que preceden al bloque de datos. Puede ocurrir que durante la lectura de los primeros caracteres no se produzca una sincronización perfecta, sin embargo la estabilización deberá producirse muy rápidamente, haciendo que los dígitos D5 y D6 queden completamente estables (aproximadamente un segundo).

Como se dijo en un principio cada bloque de datos viene precedido por 255 caracteres de sincronización codificados en formato ASCII, para los cuales se requiere un tiempo de lectura de aproximadamente 2,5 segundos. El Junior Computer detecta fácilmente el comienzo de un bloque de datos, tan sólo con leer sin interrupción una secuencia de 10 caracteres de sincronización . Es fácil ver que se tiene un gran margen para efectuar una lectura correcta; para ser exactos, el microprocesador podrá realizar, por lo menos, 20 tentativas de lectura antes de que finalicen los 255 caracteres de sincronización. En el KIM sólo existen 100 caracteres de sincronización, con lo cual las posibilidades de cometer errores en el proceso de lectura aumenta considerablemente.

El apartado 3 de la figura 3 aparecerá cuando el microprocesador reconozca el número de identificación de programa especificado por el usuario, ha sido encontrato y cargado en la memoria del Junior Computer.

3

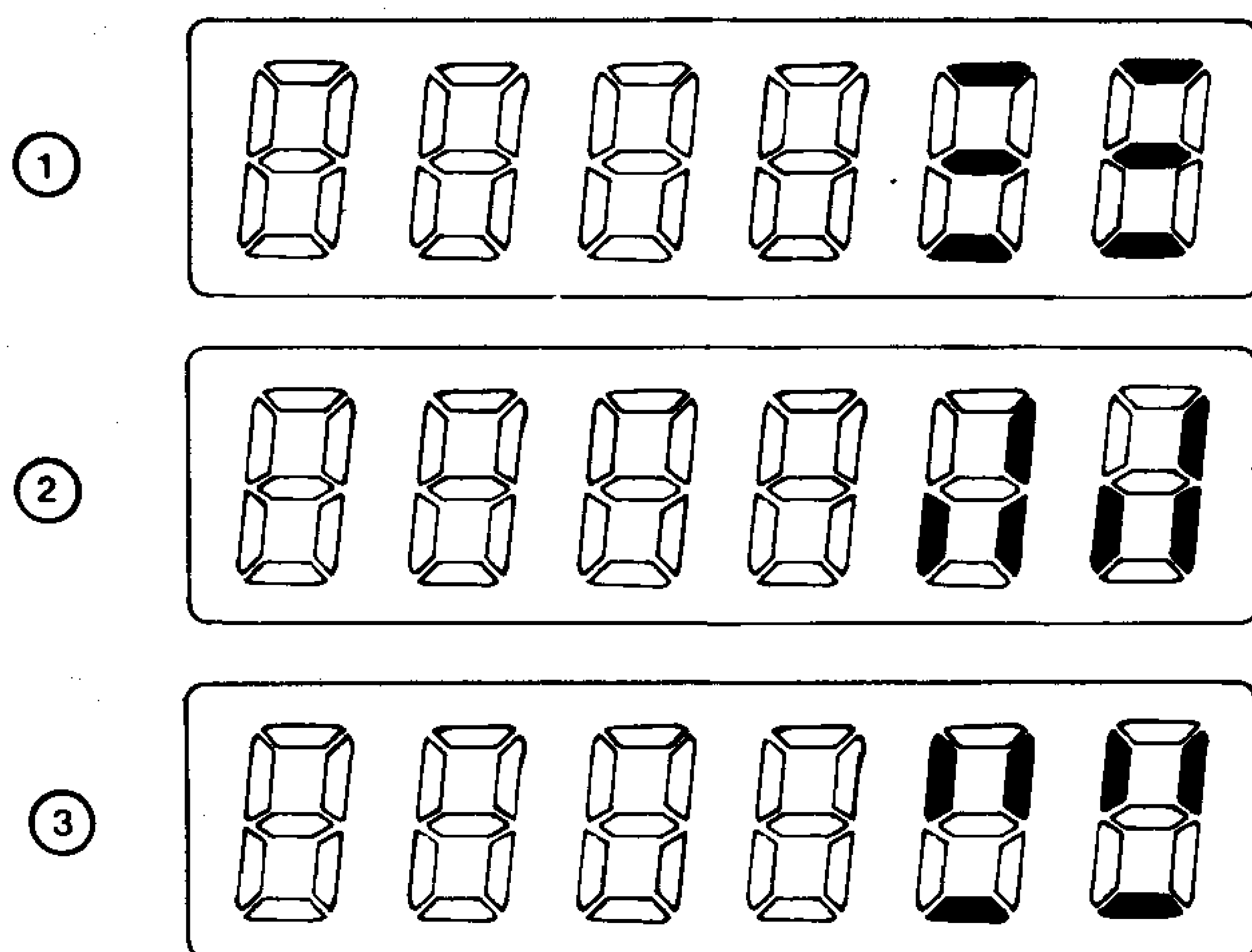


Figura 3.—Aspecto que presentarán los visualizadores situados en la tarjeta principal del Junior Computer durante las diferentes fases de lectura y escritura de datos en la cinta magnética.

Antes de comenzar a leer datos en la cinta (es decir, antes de que se produzca salto a la rutina RDTAPE) debe especificarse el número de identificación de programa. Como se dijo en un principio pueden incluirse en una misma cinta hasta 254 bloques de datos diferentes: bastará indicar el número de bloque deseado para que el microprocesador pueda encontrarlo sin dificultad.

No obstante este proceso puede realizarse de otra forma. Si se introduce como número de identificación los datos ØØ o FF, el ordenador cargará en memoria el primer bloque de datos que aparezca en la cinta, siempre y cuando esté correctamente grabado. En el caso que se indique ØØ como número de identificación (ID), el número correspondiente al bloque de datos será completamente ignorado y dicho bloque será cargado en la memoria a partir de la dirección SA que figura en la cinta magnética. Si se indica FF como número de identificación, no solamente se ignorará el número de identificación de programa sino también la dirección de comienzo SA indicada en la cinta magnética. El bloque de datos en este caso se cargará en la dirección de memoria especificada por el usuario en ese momento. Estas características nos permitirán manipular fácilmente los bloques de datos o programas, almacenados en la cinta. El único problema es que cuando se utilice ØØ o FF como número de identificación, el ordenador cargará en memoria el primer bloque de datos que aparezca en la cinta (suponiendo que éste no presente ningún error de grabación). En otras palabras, el usuario deberá conocer exactamente la posición del bloque de datos específico que desea transferir (obviamente nos referimos a la situación del bloque de datos en la cinta magnética). La forma más sencilla de conocer la posición de una grabación en una cinta magnética es mediante el contador de cinta que suelen incluir la mayoría de los magnetófonos.

Gestión de cinta

(Tape management)

El programa TAPE MANAGEMENT (que desde ahora llamaremos TM) podría haberse denominado también «tape monitor». Este programa tiene la misión de ejecutar todas aquellas operaciones concernientes a la lectura de datos desde la cinta magnética hacia el Junior Computer (= escritura en la memoria del Junior Computer), y de escritura de datos desde el Junior Computer a la cinta magnética (= lectura en la memoria del Junior Computer).

Dicho programa está grabado en una memoria EPROM del tipo 2716. Aunque el programa de gestión de cinta no ocupa los 2.048 octetos, ha de utilizarse una memoria EPROM con esta capacidad puesto que la amplitud del programa supera los 1.024 octetos y por tanto no es posible utilizar una memoria de 1k; esto significa que nos quedan algunos bytes libres en dicha memoria, lo que posteriormente puede ser de gran utilidad.

El programa TM ocupa desde la dirección Ø8ØØ hasta ØC7F. La dirección de comienzo es Ø81Ø, y no Ø8ØØ como se podría pensar. La transferencia de control desde el programa TM hacia el monitor se realiza ya sea a través del editor (véase figura 2) o mediante una presión sobre la tecla RST. Una vez lanzado el programa (AD Ø81Ø GO) se verá aparecer en el visualizador el dibujo 1 de la figura 4. Si a continuación se pulsa la tecla PAR (= tecla +), se verá aparecer en el visualizador el diagrama 2 de la figura 4. Cada vez que se pulse la tecla PAR se pasará a la siguiente disposición del visualizador, tal y como se presenta en la figura 4, hasta que

finalmente se vuelva al diagrama del primer apartado (1).
Como ya habrá adivinado el lector, la abreviatura «PAR» procede de la palabra «parámetro», término que en este caso se utiliza para determinar el tamaño de un bloque de datos y su situación «geográfica» en la cinta. Los 9 apartados de la figura 4 corresponden a los 9 parámetros que es preciso especificar al introducir un bloque de datos. Realmente esta definición no es exacta puesto que no es necesario indicar todos y cada uno de los 9 parámetros ya que éstos están en función de las 4 teclas de función que también reconoce el programa PM.
Estos parámetros son:
— ID (número de programa o de bloque de datos).
— SAH
— SAL
— EAH
— EAL
— BEG (AD) H
— BEG (AD) L
— END (AD) H
— END (AD) L
Es preciso notar que las direcciones se indican comenzando por el octeto de peso alto y no por el octeto de peso bajo como es habitual.
Una vez visualizado el parámetro indicado se accionará sucesivamente dos teclas numéricas. Los dos valores (cuartetos) aparecerán sobre los dos visualizadores de la derecha (de derecha a izquierda), exactamente como cuando se trabaja en modo DA. Después del lanzamiento del programa TM estos 9 parámetros toman el valor 0. Esto es precisamente lo que indica la figura 4. En esta situación la tecla PAR permitirá la introducción de los datos necesarios para que el Junior Computer realice correctamente las operaciones de lectura y/o escritura. Este proceso facilita grandemente el trabajo del operador, puesto que éste en todo momento puede «ver» lo que está sucediendo, mientras que con el sistema primitivo (AD ØØE2 DA XX + YY), el operador no siempre sabía en qué parte del proceso se encontraba (¿ØØE2 es BEGADL o BEGADH?).
Nota: 9 emplazamientos de las páginas ØØ o 1A están reservados para los 9 parámetros correspondientes de la figura 4. No deberán utilizarse los emplazamientos 1A69...1A7F durante un proceso de lectura de cinta magnética.
¿Cuáles son las teclas de función de las que hablamos anteriormente?
1) SAVE: Un nuevo nombre para una nueva función, ejecutada por la primitiva tecla AD. Como parece adivinarse la tecla SAVE indica su función, que es la de salvar, o salvaguardar los datos contenidos en la memoria del Junior Computer, para lo cual éstos se transfieren a la cinta magnética. Antes de pulsar la tecla SAVE es preciso colocar el magnetófono en modo (pulsando simultáneamente las teclas play y record).
Pero aún antes que esto es preciso indicar un número de identificación de bloque (ID), teniendo presente la restricción que se citó en un principio (no utilizar ni datos ØØ ni FF). Una vez especificado ID deberá indicarse los parámetros SAH, SAL, EAH y EAL para poder grabar correctamente el bloque. ¡Atención! los parámetros EAH y EAL se refieren a una dirección situada a

4

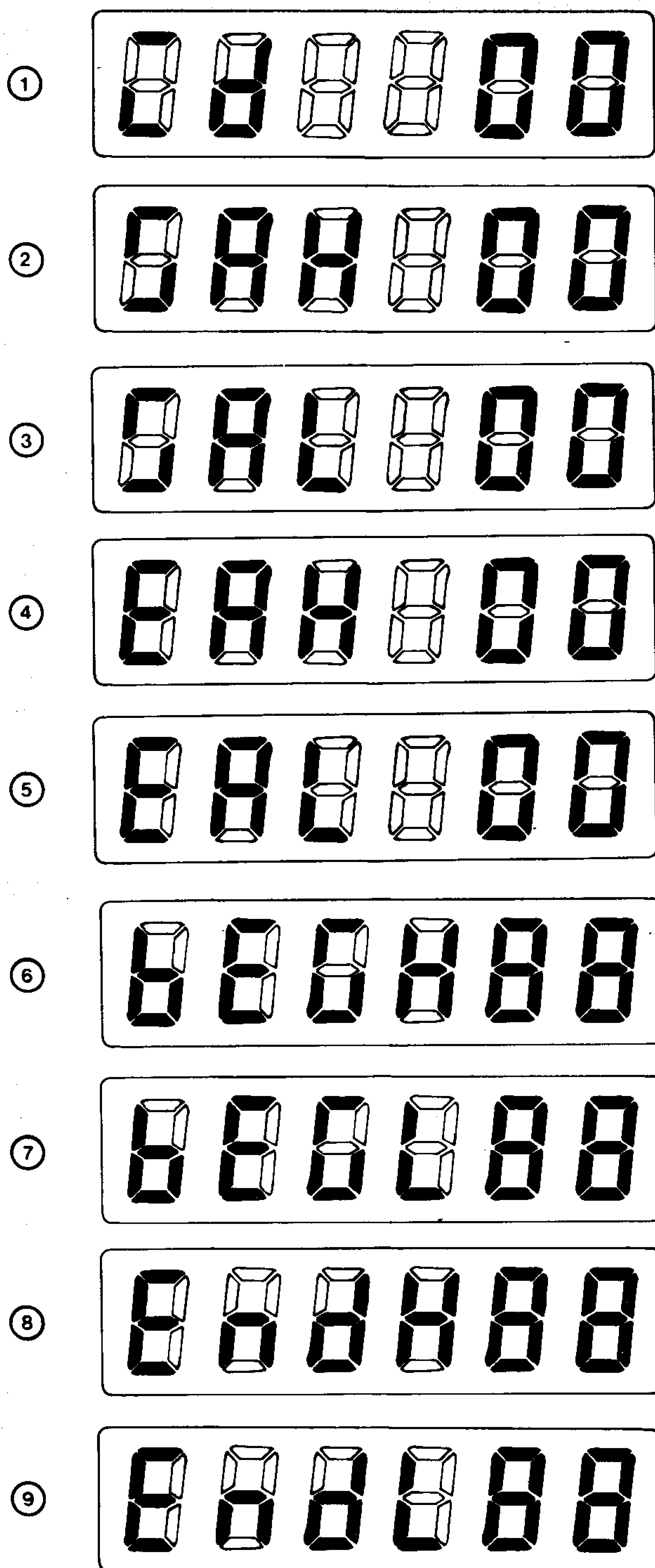


Figura 4.—En esta figura se muestran los 9 parámetros necesarios para realizar la transferencia de datos desde la memoria del computador hacia la cinta magnética y viceversa. Estos caracteres podrán ser visualizados uno a uno durante el desarrollo del programa TAPE MANAGEMENT (mediante la tecla PAR = +).

continuación de la última dirección del bloque de datos que se desea grabar. Es decir si suponemos que la dirección final de un cierto bloque de datos es Ø3FF tendremos que especificar EAH = Ø4 y EAL = ØØ.
Cuando se acciona la tecla SAVE, se realiza una transferencia de control hacia la rutina DUMP. El LED rojo D5 se encenderá mientras que los 6 visualizadores quedarán apagados. Una vez grabado correctamente el bloque de datos, el Junior Computer anunciará este suceso indicando en el visualizador «ID XX» (apartado 1 de la figura 4) donde XX (en lugar de ØØ) es el número de bloque de datos que se ha copiado en la cinta magnética.
Nota: Resultará muy útil anotar en una libreta los valores de ID, SA y EA, así como el valor indicado por el contador del magnetófono.
2) GET: Esta es una nueva función atribuida a la tecla PC. Al accionar esta tecla, el Junior Computer lee un cierto bloque de datos grabado en la cinta magnética y lo transfiere (o copia) a la memoria del Junior Computer. Obviamente antes de realizar esta operación será preciso colocar el magnetófono en modo reproducción, y como en el caso anterior se habrá de especificar el número de identificación. En la cinta magnética sólo figurarán número de identificación comprendidos entre Ø1 y FE. Si antes de accionar la tecla GET se introduce ØØ como número de identificación, el primer bloque de datos que aparezca correctamente será copiado en memoria sin tener en cuenta el número de identificación ID que figura en la cinta magnética. Mientras que SAH y SAL del bloque de datos grabado en la cinta determinarán el lugar o dirección de memoria en la que se situará el bloque de datos (obviamente nos referimos a la memoria del Junior Computer).
Si antes de accionar la tecla GET, introducimos FF como número de identificación, el Junior Computer copiará en memoria el primer bloque de datos que aparezca correctamente sin tener en cuenta el número de identificación grabado en la cinta magnética; sin embargo, dicho bloque de datos será cargado en la dirección especificada por el usuario en ese momento, independientemente de los parámetros SAH y SAL grabados en la cinta.
Cuando se pulsa la tecla GET se efectúa una transferencia de control a la rutina RDTAPE. El LED verde D4 quedará encendido, y sobre el visualizador del Junior Computer aparecerá uno de los diagramas representados en la figura 3. Una vez cargado el bloque de datos en la memoria del Junior Computer, éste proporciona una indicación en el visualizador tal que «IDXX» (apartado 1 de la figura 4) donde XX es un número hexadecimal comprendido entre ØØ y FF.
Nota: Cuando se ha cargado en memoria un bloque de datos indicando FF como número de identificación, sólo los contenidos de los parámetros ID y SAH/SAL serán correctos, ¡pero EAH/EAL no contendrán la dirección final del bloque de datos!
En este caso (ID = FF) se presentan algunas particularidades más. La dirección de comienzo (contenido de SAH/SAL) visualizada corresponderá a la dirección del fin de bloque de datos que acaba de ser cargado en la memoria. Esto nos permitirá yuxtapo-

5

```
(RST 1 Ø Ø Ø GO)

(CTRL+DEL=RUB)
JUNIOR

1A7E(SP)
1A7E Ø4 CF.
1A7F ØØ 14.
1A8Ø 8Ø 1ØØ(SP)
Ø1ØØ 5D 18.
Ø1Ø1 1D A9.
Ø1Ø2 1C 13.
Ø1Ø3 3D 69.
Ø1Ø4 3C Ø8.
Ø1Ø5 3C .
Ø1Ø6 2C +
Ø1Ø7 AC -
Ø1Ø6 2C -
Ø1Ø5 ØØ -
Ø1Ø4 Ø8 -
Ø1Ø3 69 -
Ø1Ø2 13 -
Ø1Ø1 A9 -
Ø1ØØ 18 L
ACC: CØ
Y  : CB
X  : CA
PC : F33C
SP : Ø1FF
PR : ØØØØØ1ØØ
     NV BDIZC 1ØØ (SP) (STEP:OFF)
Ø1ØØ 18 R
Ø1Ø7 AC L
ACC: 1B
Y  : CB
X  : CA
PC : Ø1Ø7
SP : Ø1FF
PR : ØØ11Ø1ØØ
     NV BDIZC F3 (SP)
ØØF3 1B 1ØØ (SP) (STEP:ON)
Ø1ØØ 18 R
Ø1Ø1 A9 L
ACC: 1B
Y  : CB
X  : CA
PC : Ø1Ø1
SP : Ø1FF
PR : ØØ1ØØ1ØØ
     NV BDIZC P
Ø1Ø1 A9 R
Ø1Ø3 69 L
ACC: 13
Y  : CB
X  : CA
PC : Ø1Ø3
SP : Ø1FF
PR : ØØ1ØØ1ØØ
     NV BDIZC P
Ø1Ø3 69 R
Ø1Ø5 ØØ L
ACC: 1B
Y  : CB
X  : CA
PC : Ø1Ø5
SP : Ø1FF
PR : ØØ1ØØ1ØØ
     NV BDIZC P
Ø1Ø5 ØØ R
Ø1Ø7 AC L
ACC: 1B
Y  : CB
X  : CA
PC : Ø1Ø7
SP : Ø1FF
PR : ØØ11Ø1ØØ   (STEP:OFF!)
     NV BDIZC M
HEXDUMP: 1ØØ,1Ø5
      Ø  1  2  3  4  5  6  7  8  9  A  B  C  D  E  F
Ø1ØØ: 18 A9 13 69 Ø8 ØØ

JUNIOR

S11,1ØØ,1Ø6
READY
```

ner varios programas editados sin que perdamos emplazamientos de memoria (supresión de los caracteres EOF). De la misma forma, si se desea yuxtaponer dos bloques de datos cualquiera mediante ID = FF es preciso modificar (aumentar en una unidad) EAL y eventualmente también EAH, antes de cargar el nuevo bloque de datos. Este tipo de carga de datos es obviamente necesario cuando se trata de reconstruir un programa cuyas diferentes secciones se encuentran diseminadas por la cinta magnética. En este caso el único problema sería saber dónde encontrar los «pedazos» de programa.

3) EDIT: Esta es una nueva función atribuida a la tecla DA. En realidad no se trata de una nueva función, ya que accionar la tecla EDIT equivale a pulsar AD 1CB5 GO, es decir el lanzamiento «a secas» del editor. Anteriormente se habrá introducido BEGAD y ENDAD mediante la tecla PAR (se accionará la tecla PAR hasta que aparezca BEG(AD)H, y a continuación se introducen los datos correspondientes; seguidamente se pulsa la tecla PAR y se introducen los datos convenientes). Como se sabe el lanzamiento «en frío» (o a secas) del editor hace aparecer el número hexadecimal «77» sobre los dos visualizadores de la izquierda. Esto es precisamente lo que ocurre cuando se pulsa la tecla EDIT. ¿Entonces por qué crear una nueva función?

4) SEF: Esta es la nueva función atribuida a la tecla GO, que realiza una función particular, justo antes del lanzamiento de TM. SEF (= SAVE EDITED FILE) significa que se transfiere a la cinta magnética un bloque de datos *incompletamente editado,* es decir *no emsamblado todavía.*

Si suponemos que en primer lugar se ha pulsado la tecla EDIT (lanzamiento en frío del editor), todos los datos del programa después de BEGAD (parámetro que ha sido introducido, así como ENDAD, antes de accionar la tecla EDIT) hasta la dirección indicada por el puntero variable CEND, son copiadas en la cinta magnética bajo la forma de un bloque de datos único, a través de la rutina DUNP.

Para que sea posible transcribir un bloque de datos a través de la tecla SEF, es *indispensable* que BEGAD y CEND estén definidos previamente, lo cual sólo es posible cuando el programa ha sido editado. Antes de copiar en la cinta magnética un programa editado mediante la tecla SEF, es preciso (el Junior Computer deberá quedar imperativamente bajo la tensión, ya que BEGAD y CEND en memoria viva están situados en la página ØØ) que se transfiera el control del editor hacia el monitor, para a continuación, saltar al programa TM:

— RST Ø81Ø GO
— Introducir ID
— Y accionar SEF

La escritura de datos sobre la cinta magnética se efectúa mediante la rutina DUMP. El visualizador quedará apagado después de accionar la tecla SEF, sin embargo el LED rojo quedará encendido. Una vez transferidos todos los datos, deberá aparecer la primera instrucción del programa editado que se acaba de copiar en la cinta magnética. Esto tiene lugar gracias al lanzamiento en «caliente» del editor efectuado por TM (después de DUMP). Obviamente habría sido preciso introducir con antelación un número de programa; en lo que se refiere a la dirección de comienzo podemos decir que esta es igual a BEGAD, y en relación a la dirección final (la última dirección del bloque de datos más uno) es igual a CEND.

¿Cuáles son las ventajas que nos proporciona SEF? Esta función nos permitirá salvaguardar programas cortos o largos que todavía no están a punto (no ensamblados). Para buscar estor programas bastará utilizar la tecla GET y después volver a lanzar el editor «en caliente». Veamos cómo se hace. El puntero variable de fin de direcciones (CEND) indica el primer emplazamiento libre al final del bloque de datos en memoria. Justo después del carácter EOF. Para ampliar estos conocimientos podremos acudir al capítulo 9 del segundo libro. Puesto que el puntero CEND da EA después deuna operación SEF, es seguro que el último dato leído del bloque será 77 (el carácter EOF). El usuario no tendrá necesidad de introducir BEGAD = SA y CEND = EA antes de accionar la tecla SEF, ya que esta función es realizada automáticamente por la máquina; sin embargo es necesario especificar, como en otros casos, el número de programa ID y preferentemente anotar estos datos. ¿Por qué?

Porque después de la segunda lectura de un cierto bloque de datos:

RST o AD Ø81Ø GO XY (XY = número de programa).

Es preciso preparar la transferencia de control hacia el editor. En primer lugar se accionará la tecla RST (transferencia de control desde TM hacia el monitor). A continuación se hace el contenido de BEGAD (L = ØØE2, H = ØØE3) igual al contenido de BEGAD = SA, como se pudo apreciar durante el proceso de grabación del bloque de datos. A continuación se hace el contenido de CEND (L = ØØE8, H = ØØE9) igual al contenido de CEND = EA.Queda por hacer el contenido de CURAD = al contenido de BEGAD, tras lo cual se puede proceder al lanzamiento «en caliente» del editor:

AD 1CCA GO

Puesto que CURAD es igual a BEGAD, la primera instrucción deberá aparecer en el visualizador.

Nota: En este último caso no deberá lanzarse *jamás* el editor «en frío», como ocurre cuando se pulsa la tecla EDIT. El resultado sería la aparición de un inoportuno 77 en el visualizador, en lugar de la primera instrucción; es decir ¡otra vez a empezar!

Nota: Cuando se utiliza ID = FF para leer varios bloques de datos editados (presentes en la cinta magnética), el valor del puntero CEND coincide con la dirección del último bloque de datos leído.

Es posible volver a direccionar un bloque de datos (o varios) editado y copiado en cinta magnética, leyéndolo de nuevo con ID = FF. No hace falta decir que en este caso deberán corregirse convenientemente los parámetros CEND y CURAD.

El programa Printer Monitor

¿Papel o pantalla?

El programa Printer Monitor (que desde ahora llamaremos PM) se ha revelado un gran consumidor de papel cuando (obviamente) se utiliza una interface de impresora como salida de datos. Hacer una descripción detallada de dicho programa nos llevaría bastante más tiempo del que podemos disponer para una revista completa. Este programa está almacenado en una memoria EPROM del tipo 2716, y ocupa desde la dirección 1.ØØØ hasta 14F3. Nuevamente esta EPROM posee algunos emplazamientos de memoria «vacíos» que posteriormente puede servirnos para nuestros propios programas. PM identifica las teclas de función estandar. Pero esta vez en lugar de superponer unos datos encima de otros sobre los visualizadores del Junior Computer, dispondremos de una visualización sinóptica de todas las operaciones realizadas. En el caso de utilizar una impresora, la banda de papel puede desfilar indefinidamente, quedando las operaciones realizadas registradas sobre papel. Contrariamente un terminal de video no puede ofrecernos estas mismas características, puesto que por definición dicho terminal posee una capacidad de memoria limitada.

El lanzamiento del programa PM se hace a través del monitor:

AD1ØØØ GO

Cuando se pulsa la tecla RUB del ELEKTERMINAL (en otros sistemas se denomina CTRL, o eventualmente DEL) el Junior Computer responde visualizando la palabra «JUNIOR». A continuación se introducirá una dirección de trabajo mediante las teclas Ø...9 y A...F del teclado ASCII. Los ceros no significativos son facultativos; es decir da lo mismo poner 2ØØ que Ø2ØØ. La dirección de trabajo aparecerá junto con el contenido del emplazamiento de memoria correspondiente tan pronto se haya pulsado la tecla SP (SPACE = espacio). Si se desea introducir datos en esta dirección, se accionarán sucesivamente dos teclas (Ø...F), y a continuación la tecla «.» (punto). El dato se cargará en la memoria del Junior Computer, el cual hará aparecer la dirección siguiente y su contenido. Esta operación se repite tal y como acabamos de escribir las veces que sean necesario.

Teclas de función

A parte de las funciones auxiliares tales como RUB, CR, etc. existen 10 teclas de función:

1) La tecla «—»: esta permite hacer aparecer la dirección que situada justo antes de la dirección de trabajo; dicho de otra forma esta última sufre un decremento de unidad.

2) La tecla « + »: esta tecla incrementa la dirección de trabajo al igual que la tecla + del teclado estandar en el JUNIOR COMPUTER. La nueva dirección aparecerá junto con el contenido del emplazamiento de memoria correspondiente.

3) La tecla SPACE: la dirección de trabajo especificada aparece junto con su contenido. Esta tecla puede compararse en todos los aspectos con la tecla AD del teclado estandar en el Junior Computer.

Las teclas AD y DA del monitor se accionan *antes* de la introducción de los datos; las teclas SPACE y «.» se accionan *después*.

5) La tecla R: («R» de «RUN»).

Esta tecla es comparable a la tecla GO del teclado estandar del Junior Computer; el

programa se lanza a partir de la última dirección visualizada (= dirección de trabajo).

6) La tecla L: («L» de «LIST») el hecho de accionar esta tecla provoca la visualización del contenido de la totalidad de los registros internos de la CPU 6502, es decir ACC, Y, X, PC, SP y P (uno tras otro). El registro P vendrá representado por 8 bits, bajo cada uno de los cuales se encuentra la letra que permitirá identificar el significado de cada uno de ellos: N, V, (espacio), B, D, I, Z, C.

7) La tecla P: («P» de «PRINT») al accionar esta tecla aparecerá el contenido de PC (contador ordinal) tal como sucedía en la ejecución de un programa paso a paso, justo antes de que se transfiriera el control del programa (después de la ejecución de una instrucción) hacia PM. Al igual que la tecla PC del programa monitor, la tecla P efectúa una preparación para la ejecución de la siguiente instrucción (accionar R). No es posible la programación paso a paso en el PM, a menos que el interruptor S24 se encuentre en la posición «ON» (el LED de la tecla GO queda encendido).

8) La tecla M: al pulsar esta tecla se verá aparecer el texto «HEXDUMP» a continuación se introducirá una primera dirección (eliminando los ceros no significativos), se accionará la tecla «,» y para finalizar se introduce una segunda dirección. Si ahora se acciona la tecla CR se producirá un «vaciado» de la memoria (exdump) entre las dos direcciones especificadas. Al comienzo de cada fila de 16 datos figura una dirección que corresponde a la del primer dato de cada línea.

Al principio de cada columna de datos figura una de las cifras 0 a F, lo cual nos permitirá localizar la dirección de un cierto dato buscando la línea correspondiente a la dirección y el número correspondiente a la columna. La última línea del exdump no ha de estar completa obligatoriamente, puesto que el número de direcciones no será siempre múltiplo 16.

9) La tecla G: («G» de «GET») cuando se pulsa esta tecla, después de haber introducido un número de programa (ID) y a continuación la tecla CR, el bloque de datos correspondiente a ID será buscado por el Junior Computer sobre la cinta magnética y después copiado en la memoria (suponiendo que el lector de cassette se encuentre en modo lectura). Una vez terminada la operación de lectura, aparecerá la palabra «READY» (en caso de que todo haya ido bien). Si el número de programa especificado es ØØ, se copiará el primer bloque de datos que se presente correctamente. Si como se dijo anteriormente ID es igual a FF, se verá aparecer «SA»; será preciso entonces introducir esta dirección después de lo cual tendrá lugar la operación de búsqueda del primer bloque de datos aceptable, y se producirá la transferencia del bloque de datos a la memoria del Junior Computer (a la dirección especificada por el usuario).

10) La tecla S: esta función nos permitirá realizar la escritura de un bloque de datos sobre la cinta magnética. El proceso tiene lugar del siguiente modo: se pulsa la tecla S; se introduce el número de programa deseado y se acciona la tecla «,» (coma), introduciendo a continuación la dirección de comienzo SA. Nuevamente se pulsa la tecla «,» y se introduce la dirección final EA (un emplazamiento después del último bloque de datos). El magnetofón deberá estar en la posición de grabación (obviamente en funcionamiento). En esta situación, se pulsa la tecla TR y se deja que el ordenador realice su trabajo. Una vez se haya registrado toda la información correctamente, el Junior Computer nos avisará de este hecho visualizando la palabra «READY».

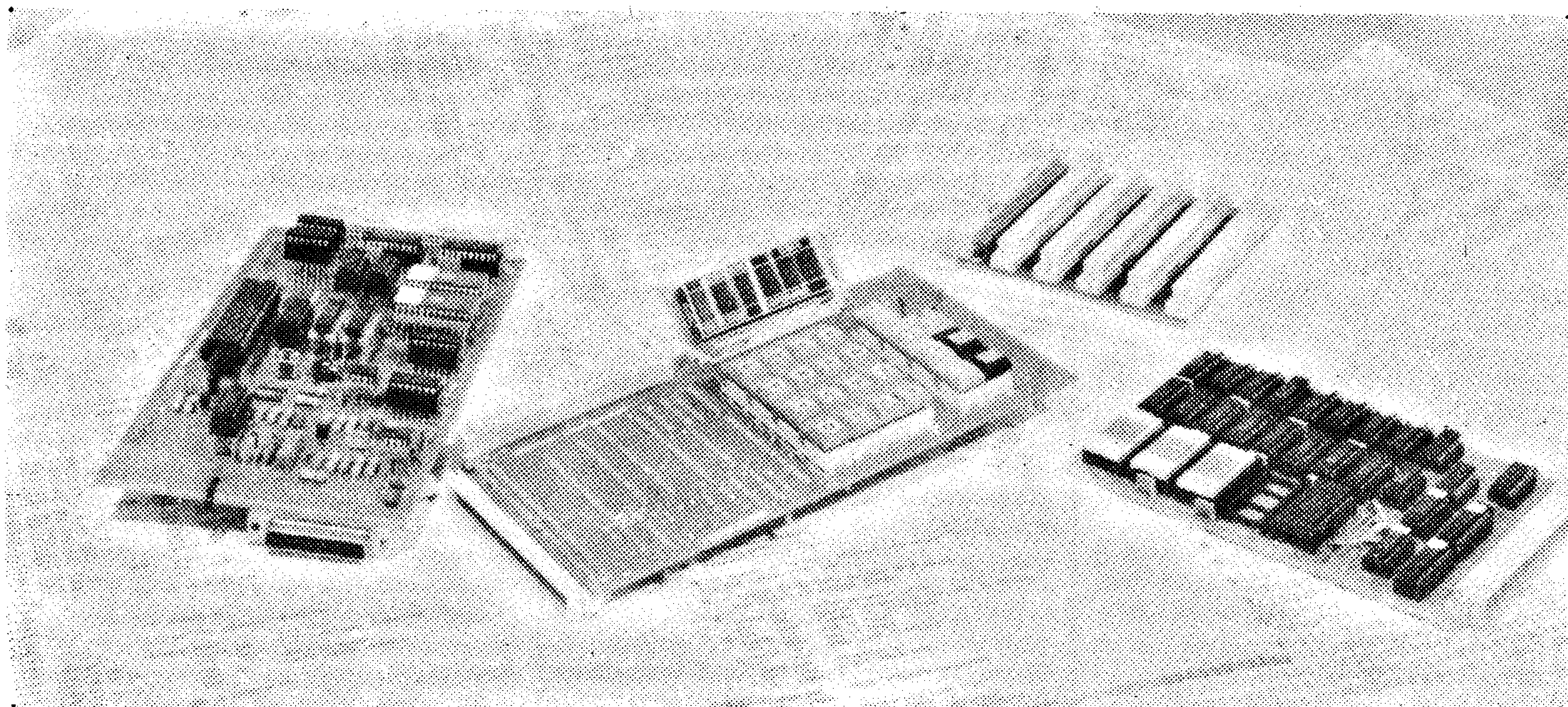
Para finalizar este artículo vamos a dar algunos trucos que pueden revelarse muy útiles más adelante.

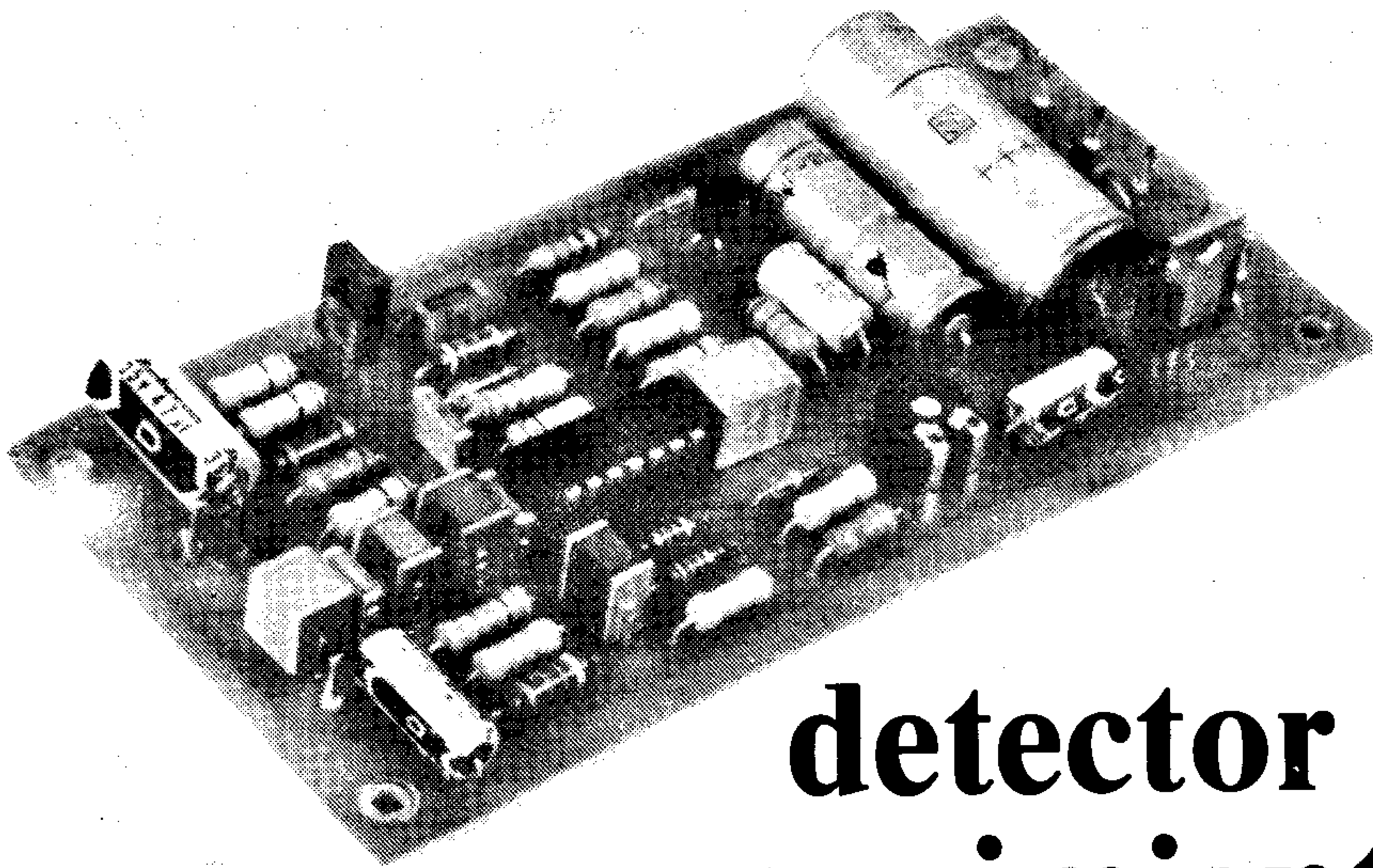
Hasta el momento hemos aprendido cómo hacer uso de las teclas numéricas (ASCII Ø...9 y A...F) así como las restantes teclas de función («.», SPACE, etc.) para efectuar la introducción de la dirección de trabajo, o la modificación de datos. Inmediatamente después de la ejecución de una tecla de función, los buffers de datos se ponen a cero. Si a continuación se pulsa la tecla SPACE la dirección de trabajo se hace ØØØØ. Si pulsamos la tecla «.» en una cierta dirección de trabajo, el contenido de este emplazamiento se hará 0.

El programa PM especifica automáticamente el vector NMI; la regla es, NMIL = CF (dirección 1A 7A) y NMIH = 14 (dirección 1A 7B). Esto en lo que concierne a la ejecución paso a paso de un programa.

Si un programa termina en la instrucción BRK se podrá efectuar una transferencia de control hacia PM, suponiendo que el vector IRQ esté correctamente posicionado. Como regla se puede tomar IRQL = CF (dirección 1A7E) y IRQH = 14 (dirección 1A7F). La introducción de los datos convenientes de este vector puede tener lugar tanto antes como después del lanzamiento de PM.

Después del lanzamiento de un programa (tecla R, junto con la dirección de trabajo = dirección de comienzo) que termina en una instrucción BRK, el Junior Computer visualizará de nuevo la dirección y su contenido. Esta dirección se encuentra situada dos emplazamientos después de la dirección que contiene la instrucción BRK (suponiendo que el vector IRQ viene indicado por 14CF). En la modalidad de ejecución paso a paso, el Junior Computer visualizará la dirección en la que se encuentra el código de operación de la siguiente instrucción. ◼





detector de movimientos

Aunque los sistemas electrónicos que permiten detectar la presencia o proximidad de una persona no representan actualmente ninguna novedad mucha gente ve en ellos algo de magia. Como ejemplo típico podemos citar las puertas de los comercios o de edificios públicos, que ante la asombrada mirada de los clientes se abren automáticamente. En vano el maravillado transeúnte trata de buscar el rayo luminoso que hace abrir la puerta (la mayoría de los sistemas emplean rayos no detectables para el ojo humano, tales como el infrarrojo).
No hay ninguna duda de que estos sistemas electrónicos despiertan en el usuario una curiosa admiración y respeto, como si de un ser vivo se tratara. En este artículo describiremos un sistema detector de presencia como los utilizados en algunos de los dispositivos citados en un principio. La utilidad de este circuito es ciertamente amplia; el único límite es la imaginación del constructor (puertas automáticas, alumbrado «inteligente», anti-robos, reclamos publicitarios, etc.).

Antes de abordar el grueso del artículo echemos una ojeada a los principios de funcionamiento del detector de movimientos. Todo objeto cargado eléctricamente, crea una perturbación del campo eléctrico en el que penetra. Dicha perturbación puede detectarse fácilmente mediante sistemas electrónicos. Este fenómeno sólo presenta una restricción: la interferencia únicamente puede ser detectada en el momento de producirse la perturbación; después las cargas electrostáticas retornan a su estado habitual. En otras palabras, el fenómeno es similar a los efectos producidos por un campo eléctrico en movimiento sobre un conductor.
En principio, todas personas radian un débil campo eléctrico. La existencia de este campo se debe principalmente a la electricidad estática creada por fricción. El desplazamiento de un objeto que posee un campo eléctrico en las proximidades de un conductor, produce un movimiento de los portadores de carga en el conductor; es decir, se crea una corriente eléctrica. Esta corriente eléctrica será la que nos permitirá detectar la proximidad de otros objetos en movimiento.

Funcionamiento del sistema

La etapa de entrada de nuestro circuito está constituida por el FET T1, las resistencias, R1, R2 y R3, los condensadores C1, C2 y C4 y lógicamente la placa sensora. Dicho circuito se comporta como una célula LC seguida por un amplificador de ganancia unitaria. El punto de unión de R1, R2 y C1, se comporta como una bobina. Si consideramos a la placa sensora como un condensador (de hecho lo es) conectado en paralelo con la «seudo-bobina» citada anteriormente, observaremos que la etapa de entrada no es más que un circuito LC sintonizado a una frecuencia inferior a la de la red. Toda modificación del campo eléctrico que rodea a dicho circuito sintonizado le hará entrar en oscilación. El primer impulso positivo generado por este atacará a la entrada del amplificador A1, tras haber atravesado el filtro paso-bajo formado por R4/C5 y R5/C6. Además de estos dos filtros conectados en serie, se ha dotado a A1 de una realimentación negativa en frecuencia (mediante C7), con lo que la curva de respuesta de dicho amplificador presentará las características de un filtro paso-bajo.
P1 permite ajustar la sensibilidad del detector, de forma que A2 sólo genera un impulso de salida cuando la tensión presente en su entrada supere un nivel predeterminado.
El amplificador operacional A3 está montado como multivibrador monoestable (disparable). Cuando A2 genera un imnpulso de disparo (normalmente de corta duración), la salida de A3 queda a nivel alto durante un momento, tras lo cual retorna a su estado inicial (nivel bajo). Este nivel lógico alto hace que el diodo D5 quede bloqueado, con lo que la entrada positiva del amplificador operacional A4 pasa a nivel alto. Este amplificador operacional genera una señal cuadrada de aproximadamente 400Hz, que es amplificada por el transistor T2, encargado de excitar el altavoz. P2 permite el ajuste de volumen de la señal de alarma (los 400 Hz). Para evitar que el generador de audio siga oscilando continuamente, el amplificador operacional A4 se bloquea mediante los diodos D4 y D5 cuando la salida de A3 retorna al estado bajo.
Además de la señal sonora, el multivibrador monoestable A3 transmite, a través del divisor formado por R19 y R22, un impulso de corriente al transistor T3, encargado de excitar el relé Re. Este relé gobierna el circuito de potencia que nos permitirá abrir la puerta, encender la luz, etc.
El diodo D2 tiene la misión de eliminar las corrientes inducidas que se producirán al conmutar la bobina del relé. D3 hace que la tensión de colector de T3 sea siempre superior a la tensión de emisor (1V como mínimo).
Si se desea que el circuito funcione correctamente, se deberá conectar el terminal de masa del montaje a la toma de masa de la red.

Lista de Componentes:

Resistencias:

R1 = 12 M
R2 = 1 M
R3,R15 = 10 k
R4 = 15 k
R5,R6 = 47 k
R7,R21 = 470 Ω
R8 = 33 k
R9,R10 = 4k7
R11,R16 = 470 k
R12,R13,R14 = 100 k
R17,R18 = 22 k
R19 = 2k7
R20 = 1k2
R22 = 1 k
P1 = 220 k ajustable
P2 = 100 Ω/1 W, lin

Condensadores:

C1 = 560 n
C2,C7 = 330 n
C3 = 10 μ/16 V
C4 = 10 n
C5 = 390 n
C6,C12 = 100 n
C8 = 47 μ/10 V
C9 = 220 μ/16 V
C10 = 1 μ
C11 = 10 μ/10 V
C13 = 3n3
C14 = 47 μ/25 V
C15 = 1000 μ/25 V

Semiconductores

IC1 = LM 324
IC2 = 7812
T1 = BF 256C
T2 = BD 139
T3 = BC 547B
D1,D2,D3,D4 = 1N4148
D5 = AA 119
D6,D7,D8,D9 = 1N4001

varios

Tr = transformador de 12 V/0,5 A
Re = relé de 12V
LS = altavoz de 8 Ω

Figura 1. Circuito del detector de movimientos. Como placa sensora se podrá emplear una placa de circuito impreso de 15 × 15 cm.



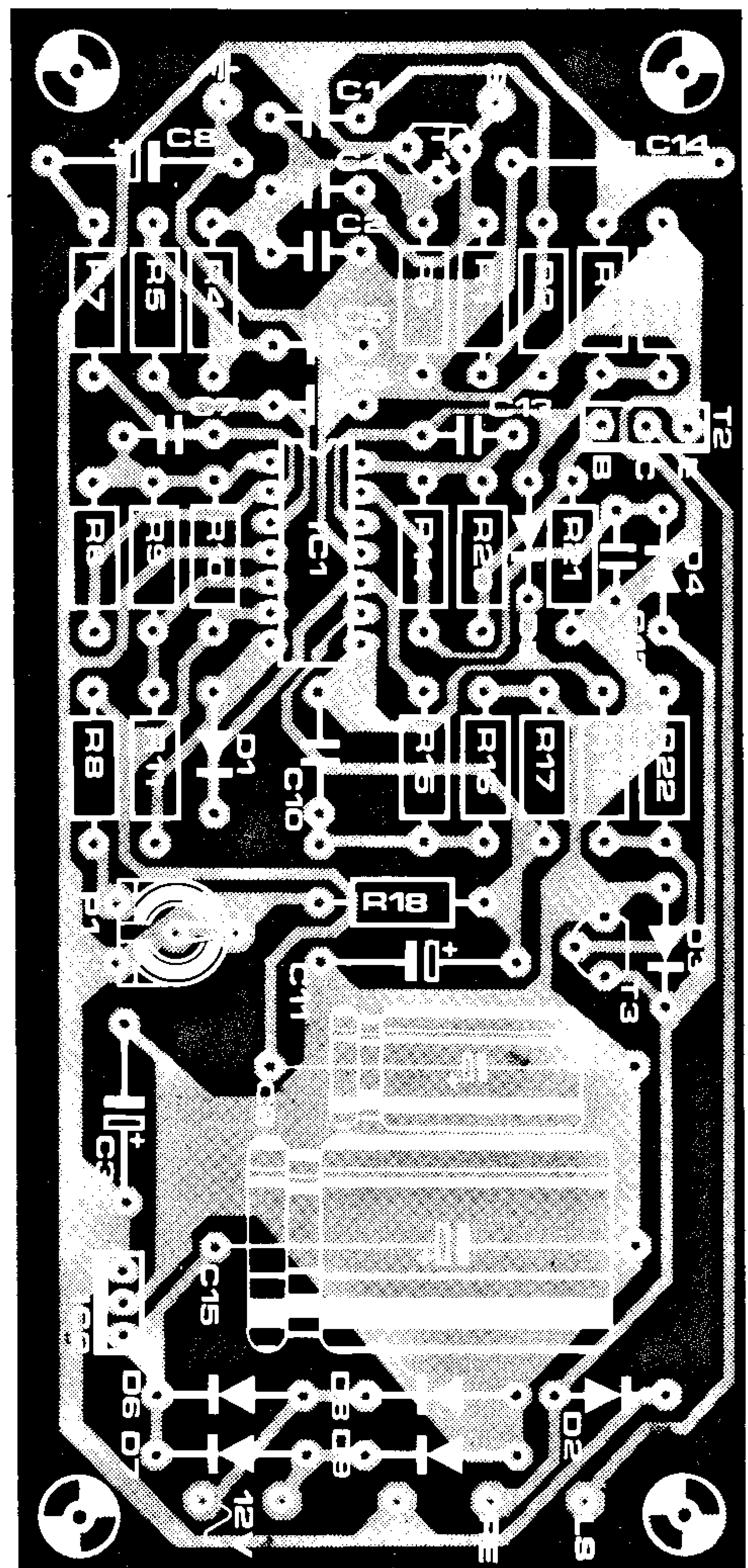


Figura 2. Circuito impreso y disposición de componentes. El transformador de alimentación, el relé, el altavoz, el control de volumen, y la placa sensible, se instalarán fuera de la placa de circuito impreso.